

88-3
7-16-02

Docket No.: 60188-155

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

JC979 U.S. PTO
10/084978
03/01/02



In re Application of :
Keiichi KUSUMOTO :
Serial No.: Group Art Unit:
Filed: March 01, 2002 : Examiner:
For: INTEGRATED CIRCUIT DEVICE AND METHOD FOR FORMING THE SAME

CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Commissioner for Patents
Washington, DC 20231

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application Number 2001-060090, Filed March 5, 2001

cited in the Declaration of the present application. A Certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:kjw
Date: March 1, 2002
Facsimile: (202) 756-8087

日本国特許庁
JAPAN PATENT OFFICE

100188-155
KELICHI KUSUMOTO
March 1, 2002
McDermott, Will & Emery
10/08/978 PRO

03/01/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。
This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日
Date of Application:

2001年 3月 5日

出願番号
Application Number:

特願2001-060090

[ST.10/C]:

[JP 2001-060090]

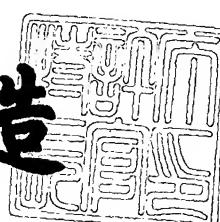
出願人
Applicant(s):

松下電器産業株式会社

2002年 1月 29日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2002-3002518

【書類名】 特許願
【整理番号】 5037620116
【提出日】 平成13年 3月 5日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 21/82
【発明者】
【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株
式会社内
【氏名】 楠本 馨一
【特許出願人】
【識別番号】 000005821
【氏名又は名称】 松下電器産業株式会社
【代理人】
【識別番号】 100077931
【弁理士】
【氏名又は名称】 前田 弘
【選任した代理人】
【識別番号】 100094134
【弁理士】
【氏名又は名称】 小山 廣毅
【選任した代理人】
【識別番号】 100110939
【弁理士】
【氏名又は名称】 竹内 宏
【選任した代理人】
【識別番号】 100110940
【弁理士】
【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115510

【弁理士】

【氏名又は名称】 手島 勝

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006010

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 集積回路装置及びその形成方法

【特許請求の範囲】

【請求項1】 複数の電子素子を含む回路部を有する集積回路装置において

上記回路部の高電位側端子に接続される複数の第1の素子電圧供給配線と、

上記回路部の低電位側端子に接続される複数の第2の素子電圧供給配線と、

上記複数の第1の素子電圧供給配線に接続される第1の集合電圧供給配線と、

上記複数の第2の素子電圧供給配線に接続される第2の集合電圧供給配線と、

上記第1の集合電圧供給配線に接続され、外部から上記第1の集合電圧供給配線に電圧を供給するための第1の分配電圧供給配線と、

上記第2の集合電圧供給配線に接続され、外部から上記第2の集合電圧供給配線に電圧を供給するための第2の分配電圧供給配線とを備え、

上記回路部の上方に設けられ、上記第1及び第2の素子電圧供給配線と、上記第1及び第2の集合電圧供給配線とを配置した第1の配線層と、

上記第1の配線層の上方に設けられ、上記第1及び第2の分配電圧供給配線を配置した少なくとも1つの上層配線層と

を備えていることを特徴とする集積回路装置。

【請求項2】 請求項1に記載の集積回路装置において、

上記少なくとも1つの上層配線層は、第2の配線層と該第2の配線層の上方に設けられた第3の配線層とを含むことを特徴とする集積回路装置。

【請求項3】 請求項2に記載の集積回路装置において、

第1のチップと、配線専用基板である第2のチップとを備え、

上記第3の配線層は上記第2のチップに設けられており、

上記第1の配線層中の電圧供給配線と上記第3の配線層中の電圧供給配線とは、上記第1のチップと上記第2のチップとを貼り合わせることにより接続されていることを特徴とする集積回路装置。

【請求項4】 請求項1に記載の集積回路装置において、

第1のチップと、配線専用基板である第2のチップとを備え、

上記回路部と上記第1の配線層とは上記第1のチップに設けられており、
上記第1の分配電圧供給配線は上記第2のチップに設けられており、
上記第1の集合電圧供給配線と上記第1の分配電圧供給配線とは、上記第1の
チップと上記第2のチップとを貼り合わせることにより接続されていることを特
徴とする集積回路装置。

【請求項5】 請求項1に記載の集積回路装置において、
第1のチップと、配線専用基板である第2のチップとを備え、
上記回路部と上記第1の配線層とは上記第1のチップに設けられており、
上記第2の分配電圧供給配線は上記第2のチップに設けられており、
上記第2の集合電圧供給配線と上記第2の分配電圧供給配線とは、上記第1の
チップと上記第2のチップとを貼り合わせることにより接続されていることを特
徴とする集積回路装置。

【請求項6】 請求項1に記載の集積回路装置において、
上記第1の集合電圧供給配線と上記第1の分配電圧供給配線との接続部に設け
られた第1及び第2の接続端子をさらに備え、
上記第1の接続端子と上記第2の接続端子とは、互いにある距離以上離れて配
置されていることを特徴とする集積回路装置。

【請求項7】 請求項1に記載の集積回路装置において、
上記第2の集合電圧供給配線と上記第2の分配電圧供給配線との接続部に設け
られた第1及び第2の接続端子をさらに備え、
上記第1の接続端子と上記第2の接続端子とは、互いにある距離以上離れて配
置されていることを特徴とする集積回路装置。

【請求項8】 電子素子を含む第1及び第2の回路部を有する集積回路装置
において、

第1の電圧供給配線と、
上記第1の電圧供給配線に接続され、上記第1の回路部に電圧を供給するため
の第2の電圧供給配線と、
上記第1の電圧供給配線に接続され、上記第2の回路部に電圧を供給するため
の第3の電圧供給配線と、

上記第1及び第2の電圧供給配線を互いに接続するための第1の接続端子と、
上記第1及び第3の電圧供給配線を互いに接続するための第2の接続端子と、
上記第1の接続端子の接続状態の検査時に、上記第2の電圧供給配線と上記第3の電圧供給配線とを電気的に分離することが可能に構成されていることを特徴とする集積回路装置。

【請求項9】 電子素子を含む第1及び第2の回路部を有する集積回路装置において、

上記第1の回路部の高電位側端子に接続される第1の素子電圧供給配線と、
上記第1の回路部の低電位側端子に接続される第2の素子電圧供給配線と、
上記第2の回路部の高電位側端子に接続される第3の素子電圧供給配線と、
上記第1及び第3の素子電圧供給配線に接続される第1の集合電圧供給配線と

上記第2の素子電圧供給配線に接続される第2の集合電圧供給配線と、

上記第1の集合電圧供給配線に接続され、外部から上記第1の集合電圧供給配線に電圧を供給するための第1の分配電圧供給配線と、

上記第2の集合電圧供給配線に接続され、外部から上記第2の集合電圧供給配線に電圧を供給するための第2の分配電圧供給配線とを備え、

上記第1、第2及び第3の素子電圧供給配線と、上記第1及び第2の集合電圧供給配線とは、第1の配線層に設けられ、

上記第1及び第2の分配電圧供給配線は、上記第1の配線層よりも上層にある少なくとも1層の上層配線層に設けられていることを特徴とする集積回路装置。

【請求項10】 電子素子を含む第1及び第2の回路部を有する集積回路装置において、

上記第1の回路部の低電位側端子に接続される第1の素子電圧供給配線と、
上記第1の回路部の高電位側端子に接続される第2の素子電圧供給配線と、
上記第2の回路部の低電位側端子に接続される第3の素子電圧供給配線と、
上記第1及び第3の素子電圧供給配線に接続される第1の集合電圧供給配線と

上記第2の素子電圧供給配線に接続される第2の集合電圧供給配線と、

上記第1の集合電圧供給配線に接続され、外部から上記第1の集合電圧供給配線に電圧を供給するための第1の分配電圧供給配線と、

上記第2の集合電圧供給配線に接続され、外部から上記第2の集合電圧供給配線に電圧を供給するための第2の分配電圧供給配線とを備え、

上記第1、第2及び第3の素子電圧供給配線と、上記第1及び第2の集合電圧供給配線とは、第1の配線層に設けられ、

上記第1及び第2の分配電圧供給配線は、上記第1の配線層よりも上層にある少なくとも1層の上層配線層に設けられていることを特徴とする集積回路装置。

【請求項11】 請求項9又は10に記載の集積回路装置において、

上記第1の集合電圧供給配線が第1の配線部と第2の配線部とにより構成され

上記第1の配線部は上記第1の素子電圧供給配線に接続されており、

上記第2の配線部は上記第3の素子電圧供給配線に接続されており、

上記第1の配線部と上記第1の分配電圧供給配線との接続状態を検査するときに、上記第1の配線部と上記第2の配線部とが互いに電気的に分離することが可能に構成されていることを特徴とする集積回路装置。

【請求項12】 電子素子を含む第1及び第2の回路部を有する集積回路装置において、

上記第1の回路部の高電位側端子に接続される第1の素子電圧供給配線と、

上記第1の回路部の低電位側端子に接続される第2の素子電圧供給配線と、

上記第2の回路部の高電位側端子に接続される第3の素子電圧供給配線と、

上記第2の回路部の低電位側端子に接続される第4の素子電圧供給配線と、

上記第1の素子電圧供給配線に接続される第1の集合電圧供給配線と、

上記第2及び第4の素子電圧供給配線に接続される第2の集合電圧供給配線と

上記第3の素子電圧供給配線に接続される第3の集合電圧供給配線と、

上記第1及び第3の集合電圧供給配線に接続され、外部から上記第1及び第3の集合電圧供給配線に電圧を供給するための第1の分配電圧供給配線と、

上記第2及び第4の集合電圧供給配線に接続され、外部から上記第2及び第4

の集合電圧供給配線に電圧を供給するための第2の分配電圧供給配線とを備え、

上記第1～第4の素子電圧供給配線と、上記第1～第3の集合電圧供給配線とは、第1の配線層に設けられ、

上記第1及び第2の分配電圧供給配線は、上記第1の配線層よりも上層にある少なくとも1層の上層配線層に設けられていることを特徴とする集積回路装置。

【請求項13】 請求項12に記載の集積回路装置において、

上記第1の集合電圧供給配線が第1の配線部と第2の配線部とにより構成され

上記第1の集合電圧供給配線と上記第1の分配電圧供給配線との接続状態を検査するときに、上記第1の集合電圧供給配線と上記第3の集合電圧供給配線とが互いに電気的に分離することが可能に構成されていることを特徴とする集積回路装置。

【請求項14】 請求項12に記載の集積回路装置において、

上記第2の集合電圧供給配線が第1の配線部と第2の配線部とにより構成され

上記第2の集合電圧供給配線と上記第4の分配電圧供給配線との接続状態を検査するときに、上記第2の集合電圧供給配線と上記第4の集合電圧供給配線とが互いに電気的に分離することが可能に構成されていることを特徴とする集積回路装置。

【請求項15】

集積回路装置の回路部に接続される電圧供給配線の抵抗による電圧降下量と、上記回路部の面積と電流との間の相関関係を表わす配線構造式を決定するステップ(a)と、

上記回路部の面積と上記電流との比を保って上記回路部を細分化したときの細分化回路部の面積と電流との相関関係を表わす回路特性式を決定するステップ(b)と、

上記細分化された回路部の面積及び電流が、上記配線構造式と上記回路特性式とを連立させて得られる解の面積及び電流以下になるように電圧供給配線の構造を決定するステップ(c)と

を含む配線構造の形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、集積回路装置の配線構造及びその形成方法に係り、特に、配線における電圧降下量の適正化対策に関する。

【0002】

【従来の技術】

集積回路、例えばデジタル回路においては、回路を構成する要素として、ANDゲート、NORゲートなどの論理ゲートが使用されている。そして、論理ゲートを回路として構成するための単位がセルと呼ばれている。デジタル回路内においては、論理ゲートの種類に応じた種々の機能を有するものが準備されていて、各種のセルを組み合わせることによって、デジタル回路全体が必要な機能が得られる。

【0003】

一般的に、デジタル回路においては、多数のセルが配置された領域の上方にグランド配線層と電源配線層とが設けられている。そして、セルを横に並べ、各セルの電源配線とグランド配線とが各々つながる構造になっている。この横に並べたセル群をセル行と呼ぶことにする。

【0004】

また、セルは回路を構成するために必要となる電子素子、例えば、MOSトランジスタを構成要素として含んでいる。例えば、CMOSインバータ回路は、PMOSトランジスタとNMOSトランジスタとを含む回路であり、CMOSインバータ回路の電源端子はセルの電源配線に、グランド端子はセルのグランド配線に接続されている。ただし、本明細書において、回路とは、電子素子を配線によって接続した部分の意味（広義）であり、閉回路（狭義）を意味するものではない。たとえば、CMOSインバータ回路とは、電源端子、グランド端子が、電源配線、グランド配線にそれぞれ接続されていない状態にあるものをいう。

【0005】

図10は、従来のセルで構成されたデジタル回路におけるセル配置領域、電源配線及びグランド配線の構造を示す平面図である。同図に示すように、セル配置領域において、図中縦方向に複数個のセル行105xが配置されていて、各セル行は複数のセル105を図中横方向に並べて構成されている。セル配置領域は、図中縦方向に延びる集合電源配線107a及び集合グランド配線107bと、図中横方向に延びる分配電源配線108a及び分配グランド配線108bとによって挟まれている。そして、両側の集合電源配線107a、集合グランド配線107bから、素子電源配線106a、素子グランド配線106bを介して、各セル105に電源電圧、接地電圧がそれぞれ供給されるように構成されている。また、集合電源配線107a、集合グランド配線107bは、スルーホール接続端子109a-1、109b-1を介して、それぞれ分配電源配線108a、分配グランド配線108bに接続されている。ただし、図10には示されていないが、半導体集積回路装置の断面構造においては、各配線層の間は層間絶縁膜によって絶縁されており、層間絶縁膜を開口して形成されたスルーホールを埋める導体部材をスルーホース接続端子という。

【0006】

なお、この明細書においては、電源配線及びグランド配線を総称して「電圧供給配線」という。

【0007】

ここで、図中横方向に延びている素子電源配線106a、素子グランド配線106b、分配電源配線108a及び分配グランド配線108bは、ある1つの配線層中に設けられている。一方、図中縦方向に延びる集合電源配線107a及び集合グランド配線107bは、別の配線層中に設けられている。また、半導体集積回路装置が設けられている半導体チップには、分配電源配線108a及び分配グランド配線108bにそれぞれ接続される電源パッド及びグランドパッドが最上の配線層に設けられており、電源パッド及びグランドパッドを介して半導体チップの外部の電源供給配線及びグランド供給配線に電気的に接続することが可能に構成されている。

【0008】

このように、平面図に示される状態では、各々同じ配線層中に設けられて図中横方向に延びる素子電源配線106a及び素子グランド配線106bは、別の配線層中に設けられて図中縦方向に延びる集合電源配線107a及び集合グランド配線107bと交差している。そして、電源配線106aと集合電源配線107aとの交差点において、スルーホール接続端子109a-2を介して電源配線106aと集合電源配線107aとが互いに接続されている。また、グランド配線106bと集合グランド配線107bとの交差点において、スルーホール接続端子109b-2を介してグランド配線106bと集合グランド配線107bとが互いに接続されている。

【0009】

以上のように、各配線層中には、それぞれある方向に延びる複数の配線があり、かつ、相異なる配線層中の配線同士の配線との交差点には、必要に応じてスルーホール接続端子が設けられているために、同図に示す配線以外の配線を各配線層に配置するには工夫を要する。例えば、各配線層に信号配線を配置するときには、交差点を避けながら信号配線を配置しなければならない。

【0010】

【発明が解決しようとする課題】

ところで、上記従来の半導体集積回路層の配線構造においては、以下のような不具合があった。

【0011】

上記従来の構造においては、交差点の存在が信号配線の配置の自由度を制約する要素となっており、交差点により、信号配線に割り当てられる配線面積が少なくなっていることがわかる。さらに、分配電源配線108aと分配グランド配線108bとは同じ配線層（第1の配線層）に設けられ、セル105の素子電源配線106aと素子グランド配線106bとは同じ配線層（第1の配線層）に設けられている。そのため、分配電源配線108aと分配グランド配線108bとの直下方には、セル行105xを配置することができない。そのような配置状態では、セル行105xの素子電源配線106a、素子グランド配線106bと、分配電源配線108a、分配グランド配線108bとが互いに接触して、双方の素

子電源配線106aと素子グランド配線106bが短絡してしまうためである。つまり、分配電源配線108a、分配グランド配線108bの面積分のセル配置領域が失われしまうことがわかる。

【0012】

つまり、従来の配線の構造は、一つの半導体チップに集積される回路が、1つのデジタル回路であったり、1つのSRAM（スタティック・ランダム・アクセス・メモリ）であるなど、比較的少ない種類の要素回路を集積する半導体チップに対して適したものである。その場合、配線層数は2層程度であることが多い。このように、配線層数が少ないとから、従来は信号配線に必要な領域の面積の確保に重点が置かれている。

【0013】

ところが、今後の半導体チップには、デジタル回路、SRAM、DRAM（ダイナミック・ランダム・アクセス・メモリ）、フラッシュ・メモリ、アナログ回路などの回路の複数個を混載したものが現れる。また、プロセス技術の向上によって半導体集積回路装置中の要素が微細化されるので、デジタル回路自体の集積度もより高くなることが予想される。

【0014】

そのため、今後の半導体集積回路装置においては、各要素回路の電圧供給配線、信号配線に必要な配線面積が増大し、配線層数も必然的に増加することが必然の成り行きである。近い将来には、例えば6～10層程度の配線層をもつ半導体集積回路装置が主流になる可能性が高まっている。さらに、消費電力低減の観点だけでなく、プロセス技術の向上によってトランジスタの微細化が可能になると、トランジスタの円滑な動作を確保する観点からも、トランジスタの電源電圧の低電圧化が要求されるようになってきている。

【0015】

そして、電源電圧が低電圧化された半導体集積回路装置内においては、電圧供給配線中における電圧降下に対する許容度が小さくなる。例えば電源電圧のわずかな低下によって、回路中のトランジスタなどの動作速度が大きく低下するからである。つまり、今後の半導体集積回路装置においては、回路の動作時における

電源の電圧降下に対する制約が強くなる。電圧降下としては、配線の抵抗に起因するもの（IRドロップ）がもっとも大きな割合を占めているので、電圧供給配線の配線抵抗を小さくする必要が生じる。また、信号配線においても、信号の遅延をできるだけ小さくするには抵抗を小さくすることが有効である。配線抵抗を小さくするためには、配線の材料の選択だけでなく配線の面積の増大などの対策が必要となってくる。そして、電圧供給配線の面積の増大のためには、配線層の数の増加や、線幅の拡大が有効であるが、配線層数の増加は集積回路装置の製造コストの増大を招くおそれがあり。一方、電圧供給配線の数が多くなると、その分、信号配線を配置するためのスペースが狭められる。

【0016】

このように、単に電圧供給配線の総面積を増大させるだけでは、製造コストの増大や、信号の遅延などの特性の悪化を招くおそれがある。

【0017】

一方、半導体集積回路装置の電源配線には、電磁輻射ノイズ、一般に、EMIと呼ばれている弊害を引き起こすという不具合もある。電磁輻射ノイズについては、公的に定められた量よりも小さくしなければならないという厳しい製品品質への要求がある。電磁輻射ノイズは、半導体集積回路装置などが外部の端子と接続するためのスルーホール接続端子部分（例えば、パッケージのリード、ワイヤなど）に流れる電流の時間変化に対するインダクタンス成分によって発生することが知られている。電磁輻射ノイズの抑制方法の1つとして、電源とグランド間に容量を設ける方法があるが、大面積を要する容量を設けることによって、セルや配線のための面積が削られるという不具合を招く。

【0018】

今後の半導体集積回路装置における電源配線やグランド配線の構造は、以上のような不具合を回避しうる構造となっている必要がある。

【0019】

また、もう1つの大きな問題として、今後の半導体集積回路装置の構成が多種の回路の混載化によって複雑化するとともに、スルーホール接続端子数の増大と微細化とに伴う問題がある。スルーホール接続端子数の増大とスルーホール接続

端子の微細化により、接続状態の不良が発生確率が大幅に高くなるおそれがあり、接続状態の不良は予期しない電圧降下を招くだけでなく、配線の局所的な電流密度の増大による回路全体の動作不良を招くおそれがある。そのため、スルーホール接続端子の接続状態を容易に検査する手段が要請されている。

【0020】

特に、電圧供給配線の構造に含まれる各配線同士の間を接続するスルーホール接続端子の接続状態が、接続か非接続かは、電圧降下量が設計値になるか否かに関係する。接続されているはずのスルーホール接続端子が非接続である場合、非接続のスルーホール接続端子における電流経路が断たれるので、電圧降下量は設計値よりも増加する。

【0021】

また、電圧供給配線の面積を最小に近づければ、配線幅は小さくなり、スルーホール接続端子数も少なくなるので、配線の電流密度は許容値に近づき、設計マージンが減少する。スルーホール接続端子の電流密度についても同様である。また、今後、半導体集積回路装置のスルーホール接続端子も、その他の要素部分と同様に微細化する。微細化が進行すれば、スルーホール接続端子の接続状態を保証する必要が強まる。

【0022】

さらに、近年、注目されている一つの半導体チップと他の半導体チップを貼り合わせによって接続する場合や、半導体チップとその半導体チップの動作にとって必要な電圧供給配線や信号配線を含んだ他の集積基板、いわば、マイクロ基板とを貼り合わせによって接続する場合なども、貼り合わせの接続端子の接続状態を検査する必要は重要である。

【0023】

本発明の目的は、集積回路装置、特に半導体集積回路装置における上述のような不具合を回避しつつ、電子素子の微細化、回路構成の複雑化、各種回路の混載化（高集積化）に適した配線構造及びその形成方法を提供することにある。

【0024】

【課題を解決するための手段】

本発明の第1の集積回路装置は、複数の電子素子を含む回路部を有する集積回路装置において、上記回路部の高電位側端子に接続される複数の第1の素子電圧供給配線と、上記回路部の低電位側端子に接続される複数の第2の素子電圧供給配線と、上記複数の第1の素子電圧供給配線に接続される第1の集合電圧供給配線と、上記複数の第2の素子電圧供給配線に接続される第2の集合電圧供給配線と、上記第1の集合電圧供給配線に接続され、外部から上記第1の集合電圧供給配線に電圧を供給するための第1の分配電圧供給配線と、上記第2の集合電圧供給配線に接続され、外部から上記第2の集合電圧供給配線に電圧を供給するための第2の分配電圧供給配線とを備え、上記第1及び第2の素子電圧供給配線と、上記第1及び第2の集合電圧供給配線とは、第1の配線層に設けられ、上記第1及び第2の分配電圧供給配線は、上記第1の配線層よりも上層にある少なくとも1つの上層配線層に設けられている。

【0025】

これにより、第1及び第2の素子電圧供給配線と、第1及び第2の集合電圧供給配線とを共通の第1の配線層に設けることができるので、電圧供給のために必要な配線層の数と配線面積とを削減することができる。

【0026】

上記上層配線層が、第2の配線層と該第2の配線層の上方に設けられた第3の配線層とを含むことにより、スルーホール接続端子などの接続端子を設けることによる配線面積の削減を小さくすることができる。また、第2の配線層よりも上層にある第3の配線層に信号配線を配置して、信号配線上の信号遷移を容易に測定することが可能になる。

【0027】

第1のチップと、配線専用基板である第2のチップとを備え、上記第3の配線層は上記第2のチップに設けられており、上記第1の配線層中の電圧供給配線と上記第3の配線層中の電圧供給配線とは、上記第1のチップと上記第2のチップとを貼り合わせることにより接続されていることにより、接続端子の数を削減することができ、組み立て歩留まりが向上する。

【0028】

第1のチップと、配線専用基板である第2のチップとを備え、上記回路部と上記第1の配線層とは上記第1のチップに設けられており、上記第1の分配電圧供給配線は上記第2のチップに設けられており、上記第1の集合電圧供給配線と上記第1の分配電圧供給配線とは、上記第1のチップと上記第2のチップとを貼り合わせることにより接続されていることにより、第1の集合電圧供給配線と第1の分配電圧供給配線との接続端子の数を削減することができる。

【0029】

第1のチップと、配線専用基板である第2のチップとを備え、上記回路部と上記第1の配線層とは上記第1のチップに設けられており、上記第2の分配電圧供給配線は上記第2のチップに設けられており、上記第2の集合電圧供給配線と上記第2の分配電圧供給配線とは、上記第1のチップと上記第2のチップとを貼り合わせることにより接続されていることにより、第2の集合電圧供給配線と、第2の分配電圧供給配線との接続端子の数を削減することができる。

【0030】

上記第1の集合電圧供給配線と上記第1の分配電圧供給配線との接続部に設けられた第1及び第2の接続端子をさらに備え、上記第1の接続端子と上記第2の接続端子とは、互いにある距離以上離れて配置されていることにより、第1及び第2の素子電圧供給配線における配線の抵抗値の増大を補い、電圧供給に必要な配線層の数と配線面積とを削減することができる。

【0031】

上記第2の集合電圧供給配線と上記第2の分配電圧供給配線との接続部に設けられた第1及び第2の接続端子をさらに備え、上記第1の接続端子と上記第2の接続端子とは、互いにある距離以上離れて配置されていることによっても、同じ効果が得られる。

【0032】

本発明の第2の集積回路装置は、電子素子を含む第1及び第2の回路部を有する集積回路装置において、第1の電圧供給配線と、上記第1の電圧供給配線に接続され、上記第1の回路部に電圧を供給するための第2の電圧供給配線と、上記第1の電圧供給配線に接続され、上記第2の回路部に電圧を供給するための第3

の電圧供給配線と、上記第1及び第2の電圧供給配線を互いに接続するための第1の接続端子と、上記第1及び第3の電圧供給配線を互いに接続するための第2の接続端子と、上記第1の接続端子の接続状態の検査時に、上記第2の電圧供給配線と上記第3の電圧供給配線とを電気的に分離することが可能に構成されている。

【0033】

これにより、第1の回路部が所定の動作を行なうと第1の接続端子が接続と判定し、第1の回路部が所定の動作を行なわなければ第1の接続端子が非接続と判定することで、第1の接続端子の接続状態の適否を容易に判定することが可能になる。

【0034】

本発明の第3の集積回路装置は、電子素子を含む第1及び第2の回路部を有する集積回路装置において、上記第1の回路部の高電位側端子又は低電位側端子に接続される第1の素子電圧供給配線と、上記第1の回路部の低電位側端子又は高電位側端子に接続される第2の素子電圧供給配線と、上記第2の回路部の高電位側端子又は低電位側端子に接続される第3の素子電圧供給配線と、上記第1及び第3の素子電圧供給配線に接続される第1の集合電圧供給配線と、上記第2の素子電圧供給配線に接続される第2の集合電圧供給配線と、上記第1の集合電圧供給配線に接続され、外部から上記第1の集合電圧供給配線に電圧を供給するための第1の分配電圧供給配線と、上記第2の集合電圧供給配線に接続され、外部から上記第2の集合電圧供給配線に電圧を供給するための第2の分配電圧供給配線とを備え、上記第1、第2及び第3の素子電圧供給配線と、上記第1及び第2の集合電圧供給配線とは、第1の配線層に設けられ、上記第1及び第2の分配電圧供給配線は、上記第1の配線層よりも上層にある少なくとも1層の上層配線層に設けられている。

【0035】

これにより、精度の高い設計に対応しうる構造となるので、電圧供給のための配線層の数と配線面積とをさらに低減することができる。

【0036】

上記第1の集合電圧供給配線が第1の配線部と第2の配線部とにより構成され、上記第1の配線部は上記第1の素子電圧供給配線に接続されており、上記第2の配線部は上記第3の素子電圧供給配線に接続されており、上記第1の配線部と上記第1の分配電圧供給配線との接続状態を検査するときに、上記第1の配線部と上記第2の配線部とが互いに電気的に分離することが可能に構成されていることにより、第1の配線部と第1の分配電圧供給配線との接続状態の適否を検査することが容易な構成となる。

【0037】

本発明の第4の集積回路装置は、電子素子を含む第1及び第2の回路部を有する集積回路装置において、上記第1の回路部の高電位側端子に接続される第1の素子電圧供給配線と、上記第1の回路部の低電位側端子に接続される第2の素子電圧供給配線と、上記第2の回路部の高電位側端子に接続される第3の素子電圧供給配線と、上記第2の回路部の低電位側端子に接続される第4の素子電圧供給配線と、上記第1の素子電圧供給配線に接続される第1の集合電圧供給配線と、上記第2及び第4の素子電圧供給配線に接続される第2の集合電圧供給配線と、上記第3の素子電圧供給配線に接続される第3の集合電圧供給配線と、上記第1及び第3の集合電圧供給配線に接続され、外部から上記第1及び第3の集合電圧供給配線に電圧を供給するための第1の分配電圧供給配線と、上記第2及び第4の集合電圧供給配線に接続され、外部から上記第2及び第4の集合電圧供給配線に電圧を供給するための第2の分配電圧供給配線とを備え、上記第1～第4の素子電圧供給配線と、上記第1～第3の集合電圧供給配線とは、第1の配線層に設けられ、上記第1及び第2の分配電圧供給配線は、上記第1の配線層よりも上層にある少なくとも1層の上層配線層に設けられている。

【0038】

これにより、第1の集合電圧供給配線と第3の集合電圧供給配線とが第1の分配電圧供給配線に接続されているので、第1及び第3の素子電圧供給配線における配線の抵抗値の増大を補って、電圧供給のために必要な配線層の数と配線面積とを低減することができる。

【0039】

上記第1の集合電圧供給配線が第1の配線部と第2の配線部とにより構成され、上記第1の集合電圧供給配線と上記第1の分配電圧供給配線との接続状態を検査するときに、上記第1の集合電圧供給配線と上記第3の集合電圧供給配線とが互いに電気的に分離することが可能に構成されていることにより、第1の集合電圧供給配線と第1の分配電圧供給配線との接続状態の適否を検査することが容易な構成となる。

【0040】

上記第2の集合電圧供給配線が第1の配線部と第2の配線部とにより構成され、上記第2の集合電圧供給配線と上記第4の分配電圧供給配線との接続状態を検査するときに、上記第2の集合電圧供給配線と上記第4の集合電圧供給配線とが互いに電気的に分離することが可能に構成されていることにより、第2の集合電圧供給配線と第2の分配電圧供給配線との接続状態の適否を検査することが容易な構成となる。

【0041】

本発明の配線構造の形成方法は、集積回路装置の回路部に接続される電圧供給配線の抵抗による電圧降下量と、上記回路部の面積と電流との間の相関関係を表わす配線構造式を決定するステップ(a)と、上記回路部の面積と上記電流との比を保って上記回路部を細分化したときの細分化回路部の面積と電流との相関関係を表わす回路特性式を決定するステップ(b)と、

上記細分化された回路部の面積及び電流が、上記配線構造式と上記回路特性式とを連立させて得られる解の面積及び電流以下になるように電圧供給配線の構造を決定するステップ(c)とを含んでいる。

【0042】

この方法により、電圧供給配線における電圧降下量や配線面積と、電圧供給配線につながる回路部の消費電流とを無駄なくできるだけ最適に配分することができる。

【0043】

【発明の実施の形態】

－半導体集積回路装置の平面構造－

図1は、本発明の半導体集積回路装置におけるセル配置領域、電圧供給配線（この明細書においては、電源配線及びグランド配線を総称して「電圧供給配線」という）及びグランド配線の構造を示す平面図である。同図に示すように、セル配置領域において、図中縦方向に複数個のセル行1xが配置されていて、各セル行1xは複数のセル1を図中横方向に並べて構成されている。セル配置領域は、図中縦方向に延びる集合電源配線3a及び集合グランド配線3b（両者を総称して、「集合電圧供給配線」という）と、同じく図中縦方向に延びる分配電源配線4a及び分配グランド配線4b（両者を総称して、「分配電圧供給配線」という）とによって挟まれている。

【0044】

ここで、本実施形態においては、図10に示す従来のデジタル回路のごとく集合電源配線3a、集合グランド配線3bがセル配置領域の両側に1対ずつ設けられているのではなく、セル配置領域の図中右側には集合電源配線3aが配置されており、セル配置領域の図中左側には集合グランド配線3bが配置されている。また、セル配置領域の図中右側に配置された集合電源配線3aに重なって分配電源配線4aが配置されており、セル配置領域の図中左側に配置された集合グランド配線3bに重なって分配グランド配線4bが配置されている。そして、集合電源配線3aから図中左方に延びる素子電源配線2aを介して各セル1に電源電圧が供給され、集合グランド配線3bから図中右方に延びる素子グランド配線2bを介して各セル1にグランド電圧が供給されるように構成されている。この明細書では、素子電源配線2a及び素子グランド配線2bを総称して、「素子電圧供給配線」という。

【0045】

ここで、図中横方向に延びている素子電源配線2a、素子グランド配線2bと、図中縦方向に延びている集合電源配線3a、集合グランド配線3bとはある1つの配線層（第1の配線層）中に配置されている。一方、図中縦方向に延びている分配電源配線4a及び分配グランド配線4bは、別の配線層（上層配線層）中に配置されている。そして、集合電源配線3aと分配電源配線4aとは、スルーホール接続端子5aを介して互いに接続され、集合グランド配線3bと分配グラ

ンド配線4 bとは、スルーホール接続端子5 bを介して互いに接続されている。ただし、図1には示されていないが、半導体集積回路装置の断面構造においては、各配線層の間は層間絶縁膜によって絶縁されており、層間絶縁膜を開口して形成されたスルーホールを埋める導体部材をスルーホール接続端子という。

【0046】

一方、第1の配線層においては、素子電源配線2 aと集合電源配線3 aとはスルーホール接続端子を介すことなく接続されており、素子グランド配線2 bと集合グランド配線3 bとはスルーホール接続端子を介すことなく接続されている。

【0047】

また、いずれかの配線層中には短距離信号配線6と長距離信号配線7とが設けられている。短距離信号配線6は、各先端部の下方に配置されている2つのセルの信号端子同士の間を接続している。長距離信号配線7は、その一端部にあるセルと距離的に離れているセル（図示されていないセル）の信号端子同士の間を接続している。また、信号配線7が分配電源配線4 aと分配グランド配線4 bの上層の配線層に通過するための通過窓8が設けられている。

【0048】

なお、分離線として示されている破線は、ここでの説明には関係しない。この分離線については後述する。

【0049】

－電圧供給配線構造－

次に、電圧供給配線の構造について詳細に説明する。説明をわかり易くするために、電圧供給配線の構造を第1の構造と第2の構造とに分解して考えることにする。以下の説明では、電源電圧供給配線の構造を例に採るが、グランド配線の構造についても同様である。まず、電圧供給配線の第1の構造は、例えば、セル1の素子電源配線2 a及び素子グランド配線2 bと、集合電源配線3 a及び集合グランド配線3 bと、スルーホール接続端子5 a, 5 bとによって構成されている部分、つまり第1の配線層及びスルーホール接続端子の部分を含む構造である。

【0050】

図1において破線によって囲まれた単位構造は、図1には示されていないが、集積回路装置中でマトリックスに配置されて、全体が大構造となっている。そして、この大構造が一つの機能を有するデジタル回路である。この大構造については、後に、図3及び図4を参照しながら詳細に説明する。

【0051】

ところで、第1の構造における配線の電圧降下量には、以下に説明するような性質がある。例として、スルーホール接続端子5aの電圧が一定値になっていて、単位構造に含まれるセル1が消費する電流は、各セル1に均等に分布して流れるものとする。さらに、単位面積の電圧供給配線の抵抗値、いわゆるシート抵抗値が変わらないとする。このとき、単位構造の縦横の寸法比を一定として、単位構造の面積が小さくなつたとすると、電圧が一定値であるスルーホール接続端子5aから各セル1までの距離が短くなるので、セル1を電流源とすると、スルーホール接続端子5aから各電流源までの距離が短くなることになる。つまり、セル1の素子電源配線2aの幅や、集合電源配線4aの幅が変わらない場合、電圧値が一定であるスルーホール接続端子5aと各電流源（セル1）との間の電源配線抵抗（素子電源配線2a及び集合電源配線3a全体の抵抗、つまり電流が流れる経路中の配線全体の抵抗）が小さくなることを意味する。そして、単位構造の消費電流が変わらないとすると、電源配線抵抗が小さくなつているので、スルーホール接続端子5aと各電流源（セル1）との間の配線経路における電圧降下量は小さくなることがわかる。

【0052】

反面、単位構造の消費電流は一定ではなく、スルーホール接続端子5aと各電流源（セル1）との間の配線経路における電圧降下量が一定であるとすると、オームの法則から、電源配線抵抗が小さくなつているので、消費電流は増大してもよいことになる。同じ様に考えて、単位構造の面積が大きくなつた場合、電圧降下量を一定にすると、消費電流は小さくしなければならない。この関係は、下記式（1）

$$Vd = (Sb) \times (Ib) \quad (1)$$

とする反比例の関係に似ている。ここで、 V_d は電圧降下量、 S_b は単位構造の面積、 I_b は消費電流である。上記式(1)から、電圧降下量 V_d を小さくするためには、面積と消費電流の積 ($S_b \times I_b$) を小さくする必要があることがわかる。

【0053】

図5(a)は、配線構造曲線及び回路特性直線を用いた電流及び面積の決定方法を説明するための図である。

【0054】

図5(a)において、縦軸は単位構造の面積 S_b を表し、横軸は電流 I_b を表しており、パラメータとして電圧降下量 V_d を採用している。ここで、上述のように、単位構造の面積 S_b は単位構造の電圧供給配線抵抗と関数関係を有している。その点において、式(1)中の面積 S_b を抵抗に置き換えれば、オームの法則の式になる。そして、図5(a)に示す配線構造曲線を関数関係として表す式を配線構造式と呼ぶことにする。図5(a)においては、3つの電圧降下量 V_d に対する3つの配線構造曲線を示している。図中、左方の配線構造曲線ほど電圧降下量 V_d が小さい。

【0055】

また、図5(a)には、比例直線である回路特性直線が示されている。この回路特性直線は、電圧供給配線の設計を行おうとしている機能回路に使用されているセル群の総面積 S_{bb} と総消費電流 I_{bb} の比 S_{bb}/I_{bb} を一定に保ち、機能回路を1つの単位構造を構成するセル群に分けたときの単位構造の面積 S_b と消費電流 I_b との関係式(2)

$$S_b = (S_{bb}/I_{bb}) \times (I_b) \quad (2)$$

である。ここで、機能回路とは、後述する図3、図4、図7などに示される設計対象回路に相当する。図5(a)において、回路特性直線(回路特性式が示す比例関係を表す直線)よりも上方の領域は、以下のような意味を持っている。その領域内の点における面積 S_b に分けられた単位構造中のセル群の消費電流は、その点が示す消費電流 I_b よりも大きいことになる。従って、この領域 R_a の面積を与えるようなセル群の単位構造への分け方は、配線構造曲線が示す消費電流の

目標値によって決定されるので、面積については分けた後のセルの配置面積よりも大きくなる。つまり、消費電流は、配線構造曲線が示す値にできるが、面積には余裕が生じ、セル配置領域と電圧供給配線領域に隙間ができる。結果、単位構造に未使用領域が生じるので、単位構造におけるセルの集積度が低下する。

【0056】

一方、図5（a）における回路特性直線よりも下側の領域Rbは、上側の領域Raとは逆に、分けたセル群の面積は配線構造曲線が示す目標値に対応させることができるが、消費電流は目標値より小さくなる。結果、電圧降下量Vdが目標値よりも小さくなることから、電圧供給配線幅に余裕があることになり、電圧供給配線に無駄な配線領域が存在していることになる。機能回路のセル群は、回路特性式によって示される面積と消費電流になるように、単位構造に分けるのが双方とも無駄のない設計が行うことができる。つまり、設計目標の電圧降下量の配線構造曲線と回路特性直線との交点が示す面積と消費電流とに応じて、機能回路のセル群を単位構造に分けることにより、電圧供給配線面積の無駄をできるだけ小さくするよう配線構造を最適化することができる。

【0057】

なお、配線構造曲線と回路特性直線との間に、必ず一つの交点が存在する。それは、2つの線が反比例曲線と比例直線であるからである。さらに、電圧供給配線の構造に拘わらず配線構造曲線は反比例曲線になるので、電圧供給配線の第1の構造がここで採用している構造とは異なる構造であっても反比例曲線は存在する。第1の構造が違っても、ある目標値の電圧降下量Vdを実現するように分けられたセル群の単位構造が存在することがわかる。

【0058】

ところで、素子電源配線2aの構造はそのままとして、集合電源配線3aの幅を変更しても、図5（a）に示す配線構造曲線が存在しているので、配線構造曲線と回路特性直線との交点も存在し、この交点の面積及び消費電流を与えるようにセル群を単位構造に分けることができることに変わりはない。そこで、集合電源配線3aの配線幅が最小になるように電源配線設計を行うことにする。集合電

源配線3aの配線幅を小さくすると配線抵抗値は増加する。その結果、単位構造の配線抵抗が増加するが、単位構造の面積を小さくすることによって、電圧降下量Vdを目標値にすることができる。あるいは、単位構造に含まれるセルの消費電流を小さくすることでも電圧降下量Vdを目標値にすることができる。どちらかの対応策、あるいは、両方の対応策によって、設計目標である電圧降下量の単位構造を必ず得ることができる。

【0059】

なお、以上の説明及び以下の説明においては、電源配線構造についてのみ説明するが、グランド配線構造についても電源配線構造と同じ議論が成り立つ。

【0060】

また、上述の説明では、座標系に直線、曲線を描いて配線の設計を行なう手順について説明したが、これは設計が可能であることを示すためである。現実には、ほとんどの場合、配線構造式と回路特性式との連立方程式の解を求める手順を探ることになる。

【0061】

-配線構造の設計手順-

図6は、電圧供給配線の構造の設計手順を示すフローチャート図である。

【0062】

まず、ステップST10で、電圧供給配線の構造の形状を決定する。ここでは、セルの素子電源配線2a、素子グランド配線2b、集合電源配線3a及び集合グランド配線3bの形状と、分配電源配線4aと集合電源配線3aとの間を接続するスルーホール接続端子5aの位置、及び分配グランド配線4bと集合グランド配線3bとの間を接続するスルーホール接続端子5bの位置を決定する。つまり、単位構造を決定する。

【0063】

次に、ステップST11で、電源配線とグランド配線に対する条件を決定し、後のステップST13で決定する配線構造式の条件を与える。例えば、後述するように、集合電源配線3aと集合グランド配線3bの形状を配線の許容電流密度を満たすように設計するなどである。

【0064】

次に、ステップST12で、電圧降下量Vdを決定し、後のステップST13で決定する配線構造式の条件を与える。

【0065】

次に、ステップST13で、上記各ステップST10～12の処理で得られた配線形状や条件を用いて、設計対象の回路の配線構造式を決定する。ここでは、設計対象となる回路に適切と思われる電源配線の単位構造の面積と消費電流と電圧降下量の反比例式（1）（配線構造曲線）を決定する。

【0066】

次に、ステップST14で、設計対象の回路の面積と消費電流とに応じて得られる回路特性式（2）（回路特性直線）を決定する段階である。ここでは、設計対象の回路を単位構造の回路に分けた後の単位構造の回路の面積と消費電流との比例関係が得られる。

【0067】

次に、ステップST15で、配線構造曲線（1）と回路特性直線（2）との交点を求め、両者の交点における面積と消費電流を得る。

【0068】

次に、ステップST16で、ステップST15で求めた面積と消費電流とに応じて、単位構造の素子電源配線2aの配線幅と、集合電源配線3aと分配電源配線4aとの間を接続するスルーホール接続端子5aの位置と、集合グランド配線3bと分配グランド配線4bとの間を接続するスルーホール接続端子5bの位置とを決定する。

【0069】

上述の考察から、集合電源配線3aの配線幅は、単位構造の面積を小さくすることで、いくらでも小さくすることができるようと思われる。しかしながら、実際には、集合電源配線幅を決定するために考慮すべき事項として、配線抵抗値以外に、電流による配線劣化、いわゆる、エレクトロマイグレーションの発生があり、エレクトロマイグレーションを抑制するように適切な配線幅を決定することが必要である。このエレクトロマイグレーションを抑制するための基準は、一般

に、配線の電流密度が規定値を超えないこととして設定されている。従って、集合電源配線3aの幅の最小値は、分けられたセル群（単位構造中のセル群）の消費電流Ibから算出される電流密度が規定値と等しいときの値である。

【0070】

エレクトロマイグレーションを抑制するために規定されている電流密度から集合電源配線3aの幅を決定する場合においても、配線抵抗値で考えたように、分けられたセル群をさらに細分化すると、細分化された後のセル群は消費電流も細分化されているので、集合電源配線幅を小さくすることができる。もちろん、エレクトロマイグレーション抑制のために規定されている電流密度以下としなければならない。

【0071】

一般には、プロセス上配線の厚みは一定と考えることができるので、電流密度が一定であるならば、電流と配線幅の比は一定である。ところで、電流と配線幅の比が一定ならば、オームの法則から、配線の長さと厚みが一定のときには、配線における電圧降下量は一定である。つまり、電流密度を一定にして、配線幅を小さくするならば、配線における電圧降下量は一定である。

【0072】

—セル群の細分化—

図5（b）は、分けられたセル群をさらに4つの単位構造に細分化するときの配線構造及びスルーホール接続端子の構造の変化を示す図である。図5（b）の上図は細分化する前の構造を示し、図5（b）の下図は4つに細分化した後の構造を示している。図5（b）においては、理解を容易にするために、電源配線のみが示され、グランド配線の図示は省略されている。後述するように、図3及び図4においては、単位構造の集合電源配線のスルーホール接続端子は一つのスルーホール接続端子で表現されているが、図5（b）では、理解を容易にするために、細分化された単位構造に一つのスルーホール接続端子25を設けた状態が示されている。

【0073】

図5（b）の上図に示すように、細分化前においては、単位構造に分けられた

セル群23（点線参照）の側方にある集合電源配線24から図中横方向に延びている配線が素子電源配線である。そして、集合電源配線24と分配電源配線（図示せず）との間を接続するためのスルーホール接続端子25が設けられているとする。次に、図5（b）の下図に示すように、各セル群23をさらに4つのセル群26に細分化すると、新たに生成された単位構造ごとに、集合電源配線27と、集合電源配線27と分配電源配線（図示せず）との間を接続するスルーホール接続端子28とが形成される。ただし、図5（b）の下図においては、細分化後のセル群26については、図中左上の部分の単位構造のみが示されており、他の部分は見やすくするために図示が省略されている。単位構造の縦横比は、細分化前と細分化後とで同じである。細分化後のセル群26の消費電流は、細分化前のセル群の1/4になる。従って、集合電源配線幅を細分化前の1/4にすることができる。スルーホール接続端子28の面積も、配線幅と同様に、その電流密度が細分化前のスルーホール接続端子25と等しくなるように面積は1/4になる。

【0074】

ここで、図5（b）の下図に示される4つに細分化されたセル群26の集合電源配線27の面積を足し合わせると、細分化される前の面積の1/2になる。つまり、縦方向の長さは同じであるので、細分化される前の配線幅を $1+1=2$ であるとすると、細分化後は $1/4+1/4+1/4+1/4=1$ であって、細分化前の集合電源配線幅の半分になっている。

【0075】

一方、分配電源配線と集合電源配線のスルーホール接続端子25とスルーホール接続端子28の面積の総和は変わらない。細分化前は面積1のスルーホール接続端子が4個で、総面積は4である。スルーホール接続端子における電流密度は変わらないとすると、細分化後にスルーホール接続端子の面積が1/4となるが、スルーホール接続端子数が16個となる。つまり、細分化後のスルーホールの総面積は $16/4=4$ であるから、細分化の前後におけるスルーホール接続端子の面積の変化はないことがわかる。

【0076】

以上の例から、集合電源配線とスルーホール接続端子の面積について、次のことがわかる。つまり、セル群を分けていくと、スルーホール接続端子の総面積は同じであるが、集合電源配線の総面積は減少するということである。ところで、セル群の区画数を増やすことにより、単位構造の消費電流及び面積が減少するので、電圧降下量も低減する。単位構造の数を増やすこと（つまり細分化すること）により、集合電源配線の総面積が小さくなるだけではなく、単位構造の電圧降下量が小さくなることにもなる。電圧供給配線は配線面積が小さく、電圧降下量が小さいほど、より好ましい配線構造であることから、このように細分化された配線構造は優れた構造であるといえる。

【0077】

以上の説明では、素子電源配線及び集合電源配線について説明したが、素子グランド配線及び集合グランド配線についても、上述のような細分化による利益を得ることができる。

【0078】

また、セル群の区画数を増やすことによって、セルの素子電源配線と素子グランド配線の長さが短くなる。このため、配線に接続されるセル数が減少するので、配線に流れる電流も小さくなる。その結果、電流密度に余裕ができるので、許容電流密度を満足する範囲で、セルの素子電源配線と素子グランド配線の幅を小さくできる。つまり、素子電源配線と素子グランド配線を含むセルの面積を小さくすることができる。

【0079】

-第2の構造についての説明-

以上では、第1の構造に対する説明を行なったが、実際には、電圧供給配線の全構造には、第1の構造に加えて、分配電源配線と分配グランド配線が含まれる。そこで、電圧供給配線の第2の構造は、分配電源配線と分配グランド配線の構造であるとする。ここでは、分配電源配線の構造について説明するが、分配グランド配線についても同じ議論が成り立つ。上述の説明においては、第1の構造について、セル群の区画数を増やすことにより利益が得られることを示したが、セル群の区画数を増やすことが第2の構造においては不利益をもたらすことになる

と、第1の構造における利益が第2の構造における不利益によって相殺されるおそれがある。しかし、以下に説明するように、第2の構造においてもセル群の細分化による利益が得られる。

【0080】

まず、セル群の区画数を増やすと分配電源配線と集合電源配線とのスルーホール接続端子の数が増加する。スルーホール接続端子はセル群が消費する電流が集まるところであるから、スルーホール接続端子はセル群の電流量に対応する電流源が接続されている所と考えられる。セル群の区画数が増えると、スルーホール接続端子の数が増加するので、電流源が分配電源配線上で均一分布の状態に近づく。もちろん、セル群が細分化されてもトータルのセルの数に変わりはないので、総消費電流は一定である。そして、第2の構造において、電圧供給配線の基本的なパターンが同じであるとすると、電流分布に偏りがあるよりも均一である方が電圧降下量は小さくなる。

【0081】

図5 (c), (d) は、それぞれ電流源を3箇所に配置した場合と、電流源を4箇所に配置した場合における一本の電圧供給配線上の電流分布を説明するための図である。ここでは、図5 (c), (d) に示す定電圧源の電圧は同じであるとし、同じ配線構造に同じ総電流値の電流源を3箇所又は4箇所に分けて配置した場合を想定している。また、配線の総抵抗値は同じであるとする。

【0082】

図5 (c) に示すように、電流源を3箇所に分けて配置すると、配線における最大の電圧降下量 V_{dmax} は、下記式 (3)

$$\begin{aligned}
 V_{dmax} &= (1/3 R) I + (1/3 R) (2/3 I) \\
 &+ (1/3 R) (1/3 I) \\
 &= 1/6 R I
 \end{aligned} \tag{3}$$

で表される。

【0083】

一方、図5 (d) に示すように、電流源を4箇所に分けて配置すると、配線における最大の電圧降下量 V_{dmax} は、下記式 (4)

$$\begin{aligned}
 V_{dmax} &= (1/4R)I + (1/4R)(3/4I) \\
 &+ (1/4R)(2/4I) + (1/4R)(1/4I) \\
 &= 15/24(RI) \tag{4}
 \end{aligned}$$

で表される。式(3)と式(4)とを比較するとわかるように、電流源を3箇所から4箇所に増加させることにより、最大の電圧降下量 V_{dmax} が小さくなることがわかる。

【0084】

なお、電流源を N 箇所に分けて配置すると、配線における最大の電圧降下量 V_{dmax} は、下記式(5)

$$\begin{aligned}
 V_{dmax} &= 1/N \{ 1/N + 2/N + 3/N + \dots \\
 &+ (N-1)/N + N/N \} (RI) \\
 &= 1/N \{ (N+1)N/2 \} (RI) \\
 &= (N+1)/(2N) \times (RI) \tag{5}
 \end{aligned}$$

で表される。したがって、 N を無限大とすると、最大降下量 V_{dmax} は $1/2(RI)$ となる。一般に、セル群の区画数を増加するにしたがって、最大の電圧降下量 V_{dmax} は $1/2(RI)$ に近づいていく。この特徴は、平面構造の電圧供給配線に関しても同様であり、分配電圧供給配線と集合電圧供給配線のスルーホール接続端子数が増加し、均一に分布することによって、最大の電圧降下量 V_{dmax} は小さくなる。もちろん、セル群を区画しても総消費電流は一定であり、配線の基本的パターンも変化させないものとする。結局、電圧供給配線の第1構造と第2構造との双方において、セル群の区画数を増加させることにより、電圧供給配線設計上の利益が得られることがわかる。つまり、電圧供給配線全体にとって、第1構造の領域を小さくする方が優位である。言い換えると、セル群の区画数が多いほど、電圧供給配線面積と電圧降下量の点で優位である。配線面積が縮小されると、セルが配置できるスペースが増すほか、信号線を配置することができるスペースも増すので、回路の集積度が高くなる。

【0085】

－集合電圧供給配線下へのセルの配置－

ところで、集合電源配線（又は集合グランド配線）の下方にセルを配置するこ

とは、次のようにすれば、容易に実現することができる。

【0086】

その一例としては、集合電圧供給配線を素子電圧供給配線より数えて3層以上上方に位置する配線層に設ける構造が考えられる。例えば、集合電圧供給配線が属する配線層の下にある配線層に縦方向の信号配線を設け、さらにその下方の配線層に素子電圧供給配線と横方向の信号配線を設けることができる。そして、集合電圧供給配線の下方にはセルを配置して、セルの信号配線を設けることが可能である。

【0087】

しかし、この構造には、次のような不利益もある。素子電圧供給配線と集合電圧供給配線との間に設けられるスルーホール接続端子は、横方向の信号配線を配置する上で障害となることである。そればかりでなく、今後、セル群の集積度を高くするためには、素子電圧供給配線の配線幅を細くすることが有効となるが、このことに対して対応が困難になることである。素子電圧供給配線と集合電圧供給配線を接続するのに必要な面積を小さくするには、素子電圧供給配線の幅よりも小さな径を有するスルーホール接続端子を形成する必要がある。ところで、この小さなスルーホール接続端子は、他の接続用のスルーホール接続端子と比較して非常に小さなものとなる。このような小さいスルーホール接続端子を形成することは困難な問題である。

【0088】

以上のことから、素子電圧供給配線と集合電圧供給配線とは同じ配線層に形成することが有利である。本実施形態においては、図1に示されるように、素子電源配線2aがセル行の一方の側に配置された集合電源配線3aに接続され、素子グランド配線2bがセル行の他方の側に配置された集合グランド配線3bに接続されている。素子電源配線2a、素子グランド配線2bは、それぞれ左右で集合電源配線3a、集合グランド配線3bに接続されるので、セルの配線（素子電源配線及び素子グランド配線）と集合配線（集合電源配線及び集合グランド配線）とを同じ配線層に設けることが可能となる。しかも、これらが同じ配線層にも設けられていることにより、素子電源配線2aと集合電源配線3aとを直接接続し

、素子グランド配線2 bと集合グランド配線3 bとを直接接続することができる
。つまり、スルーホール接続端子を必要としない。

【0089】

-配線の断面構造-

図2は、図1に示される配線の断面構造を示す断面図である。図1と図2は、各構成要素の平面構造と積層構造を示すが、構成要素間の位置関係を説明するものではない。例えば、図2におけるスルーホール接続端子5 aと5 bとの位置関係は、図1における両者の位置関係を反映していない。これは、図2の図面構造を簡略化して示すことにより、理解を容易にするためである。

【0090】

図2に示すように、シリコンなどからなる半導体層9にはセルを構成するトランジスタが形成されている。第1～第4の配線層10～13、14 a、14 bは、アルミニウム、銅などの導体膜により構成されている。また、半導体層9及び各配線層10～13、14 a、14 bの間には、半導体層や各配線層間を絶縁分離するためのシリコン酸化膜などからなる層間絶縁膜16 b～16 fが設けられている。

【0091】

ここで、図1における素子電源配線2 a、素子グランド配線2 b、集合電源配線3 a及び集合グランド配線3 bは、第1配線層10に設けられている。また、分配電源配線4 aは第2配線層11に設けられ、分配グラウンド配線4 bは第3配線層12に設けられている。そして、図1に示すスルーホール接続端子5 aは、2つの層間絶縁膜16 b、16 cを貫通して第1配線層10と第3配線層12との間を接続している。また、図1に示すスルーホール接続端子5 bは、3つの層間絶縁膜16 b、16 c、16 dを貫通して第1配線層10と第4配線層13との間を接続している。ただし、セルの素子電源配線2 aと集合電源配線3 aとの接続がスルーホール接続端子を必要としない直接接続が可能な範囲において、各々の配線層に多少の高低差が存在しても、ここでは、区別しないで、同じ配線層10と考える。例えば、ある配線層といわゆる中間配線層とは区別しないで同じ配線層とするわけである。素子グランド配線2 bと集合グランド配線3 bとに

ついても、同様である。

【0092】

分配電源配線4 aと分配グランド配線4 bとは、第3、第4の配線層12、13にそれぞれ設けられているが、分配電源配線4 aと分配グランド配線4 bとの高さ位置関係を逆にして、それぞれ第4、第3配線層13、12に設けていてもよい。

【0093】

次に、信号配線について説明する。例えば第1配線層10には、単位構造内において、素子電源配線2 aと素子グランド配線2 bとに平行な信号配線を設けることができる。第2配線層11にも信号配線を設けることができる。第2配線層は、主に、比較的入力端子と出力端子と間の距離が短い信号配線（図1に示す短距離信号配線6）を行う場合に用いる。短距離信号配線6の配置領域として、第1、第2配線層10、11では面積が不足する場合には、第2配線層11と第3配線層12との間に、別の配線層をさらに設けることも考えられる。また、短距離信号線6としては、第1、第2配線層などに設けられるもの以外に、タングステンなどによって形成されるローカル配線がある。ローカル配線は、第1配線層10の下方、例えば素子分離用絶縁膜や半導体基板の上に配置することができる。素子電源配線2 a、素子グランド配線2 b、集合電源配線3 a及び集合グランド配線3 bによって、配線形成上の制約を受けることがない。そこで、これらのローカル配線を利用することも考えられる。

【0094】

次に、信号配線の配置に対する別の考え方を次に述べる。半導体集積回路装置の試作過程において、信号配線における信号の遷移（トグル）を測定する必要が生じる場合がある。ところが、第2配線層11中に設けられた信号配線は、第3、第4配線層12、13にそれぞれ設けられた分配電源配線4 a、分配グランド配線4 bによって覆われているので、第2配線層11にある信号配線の信号を測定できない場合がある。このような各種測定の困難性を回避するには、信号配線を第2配線層11には設けないで、信号配線を第3、第4配線層12、13よりも上方の第5、第6配線層14 a、14 bに設けることもできる。そのように配

置すれば、信号配線は分配電源配線4 aや分配グランド配線4 bよりも上方に位置しているので、信号配線に対する各種信号の測定が可能である。

【0095】

さらに、測定上の困難を回避する目的のほかに、長距離信号配線7を第5、第6配線層14 a, 14 bに設けるという考え方がある。ここで、例えば、信号配線がある場合、回路の出力端子と他の回路の入力端子との間の接続距離と、半導体層9と第5、第6配線層14 a, 14 bとの間を接続するスルーホール接続端子の接続距離とを比較したとき、回路間の接続距離の方がスルーホール接続端子の接続距離よりも十分に大きいときに、その信号配線を長距離信号配線とし、それ以外の信号配線を短距離信号配線と定義することができる。図1に示される長距離信号配線7は、第5、第6配線層14 a, 14 bに設けられている。長距離信号配線7には、回路ブロック間の信号のやり取りを行う、いわゆるバス信号線や、クロック信号を配信する信号配線などがある。

【0096】

配線の寸法は、そこに含まれる容量と抵抗が信号の伝達時間に変化を与える。信号配線距離が長くなると、信号の伝達時間が長くなる。短時間で信号を伝達するために、信号配線中のスルーホール接続端子部における遅延時間をも削減するか否かによって長距離信号配線と短距離信号配線に分類することもできる。信号配線におけるスルーホール接続端子に相当する部分が信号配線の他の部分よりも十分に短いときには、スルーホール接続端子の部分の遅延時間の増加は、信号配線全体の遅延時間よりも非常に小さいので問題にはならない。つまり、この信号配線を長距離信号配線とすることができます。逆の場合には、この信号配線を短距離信号配線とすることができます。そこで、上述のように、第5、第6配線層14 a, 14 bに信号配線を設ける場合は長距離信号配線を設けることが好ましいということになる。

【0097】

さらに、他の考え方として、スルーホール接続端子5 a, 5 bは、第2配線層11の一部を縦方向に通過するので、第2配線層11における信号配線に使用できる面積を小さくする。図2において、スルーホール接続端子5 a, 5 bによって

第2配線層11は分断されているので、第2配線層11のうち図2に示す断面における領域は信号配線には利用できないことがわかる。つまり、集合電源配線3aと集合グランド配線3bとが設けられている第1配線層10と、分配電源配線4aと分配グランド配線4bとが設けられている第3、第4配線層12、13との間に配線層を多く設けるほど、スルーホール接続端子5a、5bは、多くの配線層を通過するので、各配線層でスルーホール接続端子5a、5bに割り当てられる面積の総和は増す。つまり、信号配線に使用できる面積の損失が大きくなる。図2においては、スルーホール接続端子5bは第2、第3配線層11、12の双方を分断して、信号配線に利用できる面積を小さくしていることがわかる。スルーホール接続端子5aは第2配線層11のみである。この面積損失を少なくするためには、第1配線層10と第2、第3配線層12、13との間には、配線層を設けないで、第3、第4配線層12、13よりも上方の第5、第6配線層14a、14b、あるいは、それよりも下方に配線層を設けて信号配線を配置するのがより好ましい。

【0098】

また、分配電源配線4aは、電源パッドから区画されているセル群に電流を供給する経路となる。分配電源配線4aの配線距離は、最大の場合に、半導体チップの辺から中央までになる。以下の説明は、電源配線について行なわれるが、グランド配線についても同様である。しかも、分配電源配線4aには全ての回路の消費電流が流れる。そのために、配線抵抗を小さくして、配線における電圧降下量を抑制する必要がある。配線面積が大きいときには、配線面積がチップ面積の半分以上を占める場合もある。そのような場合には、分配電源配線4a、分配グラウンド配線4bは、それぞれ集合電源配線3a、集合グラウンド配線3bと同じ配線層に設けることができない。そして、分配電源配線4aと分配グランド配線4bとは、その配線面積が大きいことから、集合電源配線3aや集合グランド配線3bよりも上方の配線層に設ける。さらに、双方の電源配線の面積が特に大きい場合には、分配電源配線4aは分配グランド配線4bとは異なる配線層に設けなければならないこともある。このとき、分配電源配線4aと分配グランド配線4bとの下方にはセルを配置することが可能であり、その場合には、セル間の

信号配線に素子電源配線2aが配置されている配線層（第1配線層10）を利用することができる。もちろん、回路の総消費電流が小さいなどの理由によって、分配電源配線4a, 分配グランド配線4bに必要な配線面積が、それほど多くはない場合には、各々の配線を一つの配線層に設ければよい。それとは反対に、回路の総消費電流が大きいなどの理由によって、分配電源配線4a, 分配グランド配線4bに割り当てられた面積が不充分な場合には、分配電源配線4aと分配グランド配線4bとに対して、一層、あるいはそれ以上の配線層をさらに追加するなどして、分配電源配線4a、分配グランド配線4bの配線面積を増加させることも考えられる。例えば、分配電源配線4aと分配グランド配線4bとをA層に設け、双方の配線の配線面積を増加させるために、B層に分配電源配線4aに接続される追加の分配配線4aを設け、C層に分配グランド配線4bに接続される追加の分配グランド配線4bを設けることが考えられる。

【0099】

また、素子電圧供給配線を越えて信号配線を配置するためには、素子電圧供給配線が配置される配線層と、分配電圧供給配線が配置される配線層との間に他の配線層を設ければよい。この配線層をセルの信号配線層と呼ぶことにする。セルの信号配線層を設ける方法としては、縦方向の信号線と横方向の信号線とを各1層づつ設ける方法と、縦方向の信号線は第2配線層11に、横方向の信号線は素子電源配線2aが設けられた第1配線層10に設ける方法とがある。これらは、ある電源配線が設けられる設計対象の回路によって、あるいは、混載される他の回路によって、それらの回路の集積度を考慮して選択するのが好ましい。セルの信号配線用に設ける配線層の数が少ないほど、分配電源配線4aと集合電源配線3aとを互いに接続するスルーホール接続端子5aが各セルの信号配線層において占める面積の和が小さくなる。電源配線の占有面積により、信号配線に利用できる面積を削減することが少なくなる。

【0100】

また、分配電源配線4aが配置される第3配線層12と、分配グランド配線4bが配置される第4配線層13とを互いに隣接させる考え方もある。第3配線層12と第4配線層13とを重ねて配線することによって、容量値が比較的に大き

い電源間容量を形成することができる。電源間容量は、電磁輻射ノイズの低減のために設けられた場合には、電圧供給配線の重要な構成要素の一部分と考えることができる。効果的に電磁輻射ノイズを低減するためには、電源とグランドの配線層間に形成されるキャパシタの単位面積あたりの容量値を大きくする必要がある。そのために、分配電源配線4aが配置される第3配線層12と、分配グランド配線4bが配置される第4配線層13との間に介在する層間絶縁膜16dは、厚みを薄くするか材質を高誘電率の誘電体材料とすることが好ましい。もちろん、層間絶縁膜16dの厚みを薄く、かつ材質を高誘電率の誘電体材料とすれば、さらに容量値は増す。また、電源配線側とグランド側配線とがオーバーラップする部分の面積が増大するようすれば、キャパシタの容量値は増加する。

【0101】

そこで、図1に示すように、分配電源配線4aと分配グランド配線4bとをある間隔をおいて交互に配置し、各々、集合電源配線3aと集合グランド配線3bとに接続する。このように、分配電源配線4aと分配グランド配線4bとを配置するのは、信号配線を分配電源配線4aよりも上方に設ける場合に、電源側配線とグランド側配線とを交互に配置すると、信号配線が通りぬけることができる領域を、図10に示す配置関係におけるよりも大きくすることができるからである。図10において、分配電源配線108aと分配グランド配線108bとの対が、一定の間隔をおいて配置されているように、電源側配線とグランド側配線とは、双方がつながってしまわないので一定以上の間隔を隔てていなければならない。しかし、この必要な一定間隔を信号配線が通りぬけることができない場合、その領域は信号配線の通りぬけにとって、利用できない領域となる。

【0102】

－分配電源配線及び分配グラウンド配線の配置－

図3は、単位構造がマトリックス状に配置されたときの分配電源配線と分配グラウンド配線との平面配置関係の例を示す図である。図4は、単位構造が千鳥足模様（チェッカーパターン）に配置されたときの分配電源配線と分配グラウンド配線との平面配置関係の例を示す図である。

【0103】

図3に示すように、横方向の配線18a～18hと、縦方向の配線19a～19dとの間に、単位構造20a, 20bが配置されている。ここで、単位構造20a, 20bは、第1の構造の単位構造を模式的に太線の四角形で示したものである。縦方向の配線19a～19dと横方向の配線18a～18hとの交点には、分配電源配線と集合電源配線とを互いに接続するスルーホール接続端子21と、分配グランド配線と集合グランド配線とを互いに接続するスルーホール接続端子22とが設けられている。電源側のスルーホール接続端子21が設けられている点において交差している横方向の配線18a, 18c, 18e, 18gと、縦方向の配線19a, 19cとは、図1に示す分配電源配線4aに相当する。グラウンド側のスルーホール接続端子22が設けられている点において交差している横方向の配線18b, 18d, 18f, 18hと、縦方向の配線19b, 19dとは、図1に示す分配グランド配線4bに相当する。そして、図3における電源側のスルーホール接続端子21は、図1に示すスルーホール端子5aに相当し、グラウンド側のスルーホール接続端子22は、図1に示すスルーホール接続端子5bに相当する。

【0104】

図3には、単位構造20a, 20bがマトリックス状に並んでいる例が示されている。単位構造20aと単位構造20bとにおいて、電源側スルーホール接続端子21とグラウンド側スルーホール接続端子22とを結ぶ線が互いに交差する方向になっている。これは、単位構造をマトリックス状に並べたからである。

【0105】

図4には、単位構造10a, 20bが一つおきの列にずらして配置された、いわゆる千鳥足模様（チェッカーパターン）に配置された例が示されている。これにより、単位構造20aと単位構造20bとにおいて、電源側スルーホール接続端子21とグラウンド側スルーホール接続端子22とを結ぶ線が互いに平行になっている。

【0106】

また、図3, 図4には示されていないが、各単位構造20a, 20bの集合電源配線は、分配電源配線である縦方向の配線19a, 19cの下方に配置されて

いる。各単位構造20a, 20bの集合グランド配線は、分配グランド配線である縦方向の配線19b, 19dの下方に配置されている。

【0107】

ここで、図10と、図3及び図4とでは、セルの大きさ、電源配線の線幅、スルーホール接続端子の大きさ、設計対象の回路などのスケールが互いに一致しないが、図3、図4において破線で示されている設計対象の回路は、図10において、破線でしめされている設計対象の回路と同じである。つまり、図10に示す構造においては、設計対象の回路の端部に集合電源配線107aと分配電源配線108aとが配置されていて、設計対象の回路の全体に対して電源配線が設計されている。これに対して、図3に示す構造においては、集合電源配線と分配電源配線とを互いに接続するスルーホール接続端子21がマトリックス状に分散していて、設計対象の回路が、セル群が分けられた基本要素である単位構造をマトリックスに配置して構成されている。図4に示す構造においては、単位構造の配置は千鳥足模様であるが、設計対象の回路を単位構造に分けるという考え方と同じである。

【0108】

なお、これらの例では、図3、図4に示すように、平面的にみたときに、分配電源配線同士、分配グランド配線同士で網目を構成するようにしたので、配線18a, 18c, 18e, 18g, 19a, 19cと、配線18b, 18d, 18f, 18h, 19b, 19dとで個別に配線層が必要であった。しかし、分配電源配線と分配グランド配線とが大きな面積を必要としない場合には、配線19a～19dを省略して、配線18a～18hを一つの配線層に設けることができる。

【0109】

－貼り合わせ構造－

さらに、今後の信号配線と電圧供給配線の電気的な特性、例えば、信号配線、電圧供給配線のインピーダンスを適正化し、信号配線の遅延時間や電圧供給配線の電圧降下量を削減するために、半導体集積回路装置の一部分の信号配線、電圧供給配線を他の素材によって形成した、いわゆるマイクロ基板あるいは、配線専

用基板を残りの半導体集積回路装置に貼り付けるといった手法に対しても、これまで、説明していた電圧供給配線及び信号配線の構造は適している。そのことを以下で説明する。

【0110】

図2において一点鎖線で示されているように、第2配線層11と第3配線層12との間で基板を分割して、半導体層9と、層間絶縁膜16a, 16bと、第1, 第2配線層10, 11と、スルーホール接続端子5a, 5bのうち最下部とを半導体集積回路15a内に設け、第3～第6配線層12, 13, 14a, 14bと、層間絶縁膜16d～16fと、スルーホール接続端子5a, 5bの上部をマイクロ基板17aに設ける。分割されたスルーホール接続端子5a, 5bの最下部と、その上部との接続、及び半導体集積回路15aに含まれる配線とマイクロ基板17aに含まれる配線との接続は、半導体集積回路15aとマイクロ基板17aを貼り合わせることによって行なわれる。集合電源配線3aと分配電源配線4aとの接続は、スルーホール接続端子5aの上部と最下部とを位置合わせして半導体集積回路15aとマイクロ基板17aを接続することにより行なわれる。このため、素子電圧供給配線と集合電圧供給配線との間のスルーホール接続端子数よりも集合電圧供給配線と分配電圧供給配線との間のスルーホール接続端子数の方が少ない場合には、素子電圧供給配線と集合電圧供給配線とを互いに貼り合わせによって接続するよりも少ない接続端子の数となる。もちろん、グランド側の配線についても同様である。

【0111】

また、図2において二点鎖線で示されるように、第4配線層13と第5配線層14aとの間で基板を分割して、半導体層9と、層間絶縁膜16a～16dと、第1～第4配線層10～13と、スルーホール接続端子5a, 5bとを半導体集積回路15b内に設け、第5～第6配線層14a, 14bと、層間絶縁膜16fとをマイクロ基板17bに設ける。半導体集積回路15bに含まれる配線とマイクロ基板17bに含まれる配線との接続は、半導体集積回路15bとマイクロ基板17bとを貼り合わせることによって行なわれる。この構成によって、電圧供給配線間の接続は半導体集積回路15bの中で行われるので、半導体集積回路1

5 b とマイクロ基板 17 b との接続端子数を削減できる。

【0112】

－貼り合わせにおける接続状態の検査－

半導体集積回路とマイクロ基板とを貼り合わせることによって端子同士が電気的に接続されている構造を有する半導体集積回路装置においては、端子同士の接続部が正常に接続されているか否かを検査する必要がある。信号配線の接続状態は、回路が設計上で予測される機能を果たしているか否かにより検査することが可能である。一方、電圧供給配線の接続状態を検査する場合には、信号配線の接続状態の検査に対して、以下のような違いがある。集合電圧供給配線と分配電圧供給配線との間の接続端子は複数個あるため、複数の接続端子のうち、少なくとも一つの接続端子が直流通して接続されていると、残りの接続端子が接続されていなくても、分配電圧供給配線と集合電圧供給配線との間には電流が流れ、セルに動作電流を供給することができる。しかし、実際に形成された接続端子のうち、設計では接続されているはずであるのに接続状態にない接続端子があると、配線抵抗が増大してセルにおける電圧降下量が増加する。加えて、電流経路数が減少するので、接続端子と集合電源配線とにおける電流密度が増加する。そして、回路動作上では、半導体素子の動作速度が高いときに動作不良が発生するおそれがある。さらに、接続端子と電圧供給配線とにおけるエレクトロマイグレーションの保証ができなくなってしまう。つまり、数年後に、電源配線がエレクトロマイグレーションによって切断するといった事態が発生し、それまで、動作していた半導体集積回路が動作しなくなってしまうおそれがある。

【0113】

図7は、各単位構造における接続状態の検査方法を示す平面図である。この検査方法では、接続端子の接続状態を検査することを可能にするために、集合電圧供給配線を直流通して分けるという手法を探る。

【0114】

同図に示すように、分けられた集合電圧供給配線 40 a～40 d と、分配電圧供給配線（図示せず）との間に、それぞれ接続端子 41 a～41 d が設けられている。また、試験回路 20-4, 20-5, 20-6 と、試験回路 20-4, 2

0-5, 20-6を制御するための制御回路20-1と、制御回路20-1に信号を供給するための入力端子20-2と、制御回路20-1からの信号を取り出すための出力端子20-3とが設けられている。

【0115】

図7における集合電圧供給配線40a, 40cは、図3及び図4における縦方向の分配電源配線19a, 19cの下方の配線層内に配置されている集合電源配線（図示せず）に相当する。図7における集合電圧供給配線40b, 40dは、図3及び図4における縦方向の分配グランド配線19b, 19dの下方の配線層内に配置されている集合グランド配線（図示せず）に相当する。各集合電圧供給配線40a, 40c上には、接続端子41a, 41cが一つづつ設けられ、各接続端子41a, 41cによって各々分配電圧供給配線に接続されている。各集合電圧供給配線40b, 40d上には、接続端子41b, 41dが一つづつ設けられ、各接続端子によって各々分配グランド配線に接続されている。

【0116】

図7に示す構造において、単位構造の配置状態は、図3に示す配置と同様にマトリックス状とした。図7においては、図をわかり易くするために、同図の上半分のみに単位構造20a, 20bが配置された状態が示されているが、同図における下半分にも同様の単位構造が配置されている。図1及び図3に示す構造においては、集合電源配線、集合グランド配線が各々縦方向に連続的に設けられていたのに対し、図7に示す構造においては、集合電圧供給配線40a, 40c（集合電源配線）と集合電圧供給配線40b, 40d（集合グランド配線）とが、単位構造毎に分けられている。図1において、集合電源配線と集合グランド配線とには、図7における単位構造の分け目に相当する分離線が点線によって示されている。一つの電源端子が接続されていなければ、その非接続の接続端子を持つ集合電圧供給配線40a又は40cを電流の供給経路とするセルの回路は動作しなくなる。従って、接続端子のうち、接続されていない接続端子があるか否かは、回路の機能を確認することによって検査することが可能であることがわかる。さらに、回路動作の不具合の原因となっている回路部分の配置場所を検索することで、非接続の接続端子を特定することができる。

【0117】

また、図7に示すように、分けられた集合電圧供給配線の各々に、インバータを有し回路自体が動作するか否かを試験するための試験回路20-4, 20-5, 20-6を設け、その試験回路20-4, 20-5, 20-6の動作結果を出力し、その出力信号が非動作の回路の特定に対応させれば、非接続状態の接続端子を特定することが容易になる。図7に示すインバータ20-4～20-6は、各々が含まれる単位構造の素子電源配線と素子グランド配線に接続されている。図7において、素子電源配線と素子グランド配線との図示は省略されている。そして、入力端子20-2から送られる指示信号に応じて、制御回路20-1により各試験回路20-4～20-6に入力する信号と出力された信号とを検知し、出力端子20-3により、試験回路20-4～20-6の出力信号を検知して各試験回路の動作状態を把握した結果を出力するように構成されている。入力端子20-2から制御回路20-1に指示信号が入力されると、制御回路20-1から試験回路20-4～20-6に論理レベルが遷移する信号が送られる。この信号によって、試験回路20-4～20-6の出力信号も変化する。この出力信号の変化を制御回路20-1で受ける。対象となる全ての電圧供給配線が正常に接続されているときには、全ての試験回路の出力信号は遷移する。一方、例えば図中左端の単位構造における電源配線の接続端子が非接続状態のときには、試験回路20-4の出力信号は遷移しない。このように、出力信号が遷移するか否かによって、どの接続端子が非接続状態であるかを特定し、その結果を出力端子20-3から出力する。

【0118】

図8は、電圧供給配線構造の基本構造を示す平面図である。同図において、42, 43a, 43b, 44a～44dは電圧供給配線を、46a, 46b, 47a～47dは接続端子を、45a～45dは回路を、48は部分的な回路45a～45dを含む一つの機能を有する部分、それぞれ示している。これまでに説明した電圧供給配線構造と対比すると、電圧供給配線42は半導体集積回路の外部の電圧供給配線でありプラスチック・パッケージならリードである。電圧供給端子46a, 46b, 47a～47dと、電圧供給配線43a, 43b, 44a～

44dと、回路45a～45dとは半導体集積回路装置の内部にある。接続端子46a, 46bは電圧供給パッドと電圧供給配線42との間に設けられた接続端子であって、プラスチック・パッケージならワイヤである。電圧供給配線43a, 43bは分配電圧供給配線であり、電圧供給配線44a～44dは集合電圧供給配線である。回路45a～45dは素子電圧供給配線を含む回路である。回路48は図3及び図4の破線で囲まれた設計対象の回路に対応する。

【0119】

回路動作時には、電圧供給配線42から電流が流れ込む。この電流は接続端子46a, 46bを通じて、電圧供給配線43a, 43bに分配される。さらに、電流は、電圧供給配線43aから接続端子47a, 47bを通じて、電圧供給配線44a, 44bに分配され、各々の回路45a, 45bに入る。その他の電流経路についても同じである。本構造において重要なことは、電流がツリー状に分配されていて、その分配部分において、上流側の電圧供給配線と下流側の電圧供給配線との間には一つの接続端子が設けられているという点である。一つの接続端子が設けられていることは、その接続端子が接続されていない状態になったとき、電圧供給配線に設計上の不都合が生じることを意味する。例えば、一つの接続部が複数の接続端子で構成されている場合には、その一つの接続部を構成する接続端子のうちの一部が接続されていない状態において、電圧供給配線あるいは他の接続端子に、例えば、設計上で許容される電流密度を越える場合などをいう。

【0120】

上述のように、図8に示す構造においては、電圧供給配線42と接続端子46a, 46bとが半導体チップの外部に配置され、分配電圧供給配線43a, 43bを半導体チップの内部に配置されている場合で、分配電圧供給配線43a, 43bは、各々、接続端子47a～47dとによって、電圧供給配線42と接続されている。また、分配電圧供給配線43a, 43bは互いに分離されている。そして、分配電圧供給配線43a, 43bは、半導体チップ内部の単位構造の接続端子に接続端子46a, 46bから分流されてきた電流を供給する経路となる。電圧供給パッド（図示せず）は分配電圧供給配線43a, 43bに接続されてい

るが、図9では分配電圧供給配線43a, 43bに含まれているものとする。

【0121】

ところで、以下のような場合には、図7, 図8に示すごとく分配電圧供給配線を分けることは不適切である。たとえば、電圧供給パッドが半導体チップの周辺に配置されていて、電流経路を半導体チップの様々な箇所に設けなければならない場合がある。このような場合には、電圧供給配線構造上、分配電圧供給配線が互いに重なり合ってしまわざるを得ず、分離が必要な箇所を分離することができない場合が生じる可能性がある。つまり、分配電圧供給配線を分けるために、分配電圧供給配線のための新たな配線層を設けることになってしまい、配線面積の増大を許すことができない場合、分配電圧供給配線を分けることができない場合がある。その他、分けることによって分配電圧供給配線の配線抵抗の増加が大きくなりすぎる可能性もある。

【0122】

一方、電圧供給パッドが半導体チップの周辺部分だけではなく、半導体チップ内に配置できる場合、いわゆる、エリアパッドと呼ばれる電圧供給パッドを利用する場合には、電圧供給パッドをチップ内に配置することによって、上述のような問題は発生しにくいので、分配電圧供給配線を分けることが容易である。よって、接続端子46a, 46bの接続状態を検査することができる。例えば、半導体集積回路をセラミックのチップ・サイズド・パッケージ（いわゆる、C-CSPと呼ぶ。）に装着する場合には、接続端子46a, 46bは、C-CSPの電圧供給配線42と分配電圧供給配線43a, 43b上の電圧供給パッドとを接続する接続部分（例えば、マイクロバンプなど）である。この接続部分の接続状態を検査することが容易に可能である。

【0123】

また、接続検査に関する考え方は、図1, 図2で示された電圧供給配線構造に限らず、他の電圧供給配線構造にも当てはめることができる。例えば、半導体集積回路装置とマイクロ基板とを接続する構造において、素子電圧供給配線を半導体集積回路装置に設け、集合電圧供給配線をマイクロ基板に設け、素子電圧供給配線と集合電圧供給配線とを半導体集積回路装置とマイクロ基板との貼り合わせ

により接続する場合などは、一つの素子電圧供給配線に一つの接続端子が設けられていればよい。その場合には、上述の場合と同じように、接続されていない接続端子が存在する素子電圧供給配線を電流の供給経路とするセルは動作しなくなるので、回路の機能を確認することによって検査をすることが可能となる。もちろん、機能しない回路の配置場所から非接続箇所の特定が可能である。ここで、半導体集積回路装置とマイクロ基板の貼り合わせにおいて、素子電圧供給配線と集合電圧供給配線との接続端子の数が、上述の場合よりも多くなる。接続端子の数が多くなるほど、接続されていない端子ができる可能性が大きくなる。しかし、集合電圧供給配線を素子電圧供給配線とは違った配線層に設けることによって、集合電圧供給配線の下の領域にセルを配置することができるようになる場合には、配置できるセル数が増すという利点がある。もちろん、集合電圧供給配線と分配電圧供給配線と同じ配線層に設けることができる。

【0124】

さらに、半導体集積回路装置とマイクロ基板との接続の検査に限らず、一つの半導体集積回路装置における電圧供給配線のスルーホール接続端子が接続されているか否かを検査することも可能である。また、スルーホール接続端子の検査に必要となる電圧供給配線44a～44dの分離は、検査期間において分離されなければよく、それ以外の、例えば、実動作期間などでは接続されていてもよい。例えば、図8に示すように、各々の電圧供給配線間にスイッチ49a, 49bを設けることにより、電圧供給配線44aと電圧供給配線44bとの間、電圧供給配線44cと電圧供給配線44dとの間を検査期間においてはそれぞれ分離し、他の期間においては接続することができる。このとき、検査期間においては、スイッチ49a, 49bは開状態とし、他の期間においては閉状態とする。開閉動作は制御回路50aによって行われ、検査を行うか否かの信号は端子50bから入力する。

【0125】

以上の説明においては、分けられた各集合電圧供給配線には一つのスルーホール接続端子があるとした。しかし、分けられた各集合電圧供給配線に複数のスルーホール接続端子を含めても、設計上、複数のスルーホール接続端子の一つが接

続されていればよいなら、分けられた集合電圧供給配線に複数のスルーホール接続端子があつてもよい。また、素子電圧供給配線と集合電圧供給配線の接続検査の場合についても同様である。さらに、一つの分配電圧供給配線と半導体集積回路の外部基板との接続に一つの接続端子を設ける場合も同様である。以上においては、電圧供給配線について説明したが、グランド配線についても同様である。

【0126】

-配線構造の形成方法-

図9は、図6のフローチャートに沿って配線構造を形成する方法を説明するための平面図である。ここでは、すでに説明した式(1)～(5)とは異なる計算式を用いて配線構造を決定する方法について説明する。

【0127】

図9に示す電圧供給配線構造は、図1における電圧供給配線構造と同じであるが、図を簡略化するために、図9と図1とではスケールは互いに異なっている。また、図9においては、素子グランド配線の図示は省略されている。図9においては、図1中の構成要素と同じ構成要素については同じ符号を付して説明を省略する。

【0128】

図9においては、互いに隣接する単位構造Aと単位構造Bとが図中縦方向に並んで配置されている。図9において、51は単位構造Aにおいて最も電圧降下量の大きい箇所を示している。ここでは、最大電圧降下点51における電圧降下量Vdを計算するための式を求めるにすることにする(図6に示すステップST13, ST11, ST12に対応する)。また、上方のスルーホール接続端子5aと、その下方にあるスルーホール接続端子5aとは同じ電圧に固定されているとする。最大電圧降下点51があるセルの素子電源配線2aは、2つのスルーホール接続端子5a間の中間位置にあるとする。

【0129】

このとき、集合電源配線3aの両端のスルーホール接続端子5aから集合電源配線3aの中央点Kまでの電圧降下量Vcは、下記式(6)

$$Vc = (1/2) \times (1/2) \times (Ic) \times (Rc) \quad (6)$$

で表される。ここで、 I_c は単位構造 A と単位構造 B との総消費電流であり、 R_c は集合電源配線 3 a における両端のスルーホール接続端子間の抵抗値である。両端にスルーホール接続端子 5 a つまり定電圧点があることから、中央点 K における電圧降下量は電流 I_c と抵抗 R_c の積に対して半分の値になる。さらに、集合電源配線 3 a の両端のスルーホール接続端子 5 a 同士の間には、単位構造 A と単位構造 B との素子電源配線 2 a が均等に接続されており、各素子電源配線 2 a には等しい電流が流れ込んでいるとする。このとき、式 (5) から近似的に電圧降下量 V_d は半分になることを考慮すると、さらに、電圧降下量 V_d は電流 I_c と抵抗 R_c の積の半値の半値となる。次に、図中中央にある素子電源配線 2 a における電圧降下量 V_{cc} は、次式 (7)

$$\begin{aligned} V_{cc} &= 1/2 \times (I_{cc}) \times (R_{cc}) \\ &= 1/2 \times \{I_c/(2M)\} \times (R_{cc}) \end{aligned} \quad (7)$$

で表される。ここで、 I_{cc} は中央の素子電源配線に接続されているセルの総消費電流であり、 R_{cc} は中央の素子電源配線における抵抗値である。セルの総消費電流は、各素子電源配線 2 a に均一に分配されているとする、上述と同じく、式 (6) から近似的に、総消費電流 I_{cc} と抵抗 R_{cc} との積値に対する半値が電圧降下量 V_{cc} となる。ここで、単位構造 A と単位構造 B との電流 I_c は各セル行に均等に配分されていると近似すると、総消費電流 I_{cc} は電流 I_c を単位構造 A と単位構造 B とにあるセル行の段数 $2M$ で割った値として、 $I_{cc} = I_c/(2M)$ である。ここで、 M は単位構造 A と単位構造 B とにおける各々のセル行の段数である。そして、最大電圧降下量 V_d は、 V_c と V_{cc} の和であるから、式 (6)、(7) より、下記式 (8)

$$\begin{aligned} V_d &= V_c + V_{cc} = (1/4) \times (I_c) \times (R_c) \\ &\quad + (1/2) \times \{I_c/(2M)\} \times (R_{cc}) \\ &= [(1/2) \times \{(R_c) + (R_{cc}/M)\}] \times (I_c/2) \end{aligned} \quad (8)$$

ここで、式 (8) の右辺の [] で囲まれている第 1 項は単位構造に関係する値である。例えば、単位構造の面積が縦横比を一定に保ちつつ増大し、配線幅が一定としたときに、 R_c と R_{cc} との値は増加し、単位構造の面積が減少したときには、 R_c と R_{cc} との値は減少する。単位構造の面積が増加するとき、分配電

源配線3aが長くなり、素子電源配線も長くなるためである。一方、式(8)の第2項($I_c/2$)は、一つの単位構造の消費電流である。ここで、単位構造の面積 S_b と[]内とが比例関係にあるとすると、式(8)は下記式(9)

$$V_d = \{ (a) \times (S_b) \} \times (I_b) \quad (9)$$

になる。ただし、 $I_b = I_c/2$ である。つまり、単位構造の面積 S_b と比例係数 a との積と、消費電流 I_b とは電圧降下量 V_d と反比例の関係にあることが確認できる。単位構造の面積 S_b と消費電流 I_b とは電圧降下量 V_d と反比例の関係に類似するわけである。さらに、設計対象となる回路を構成するセル群の総面積 S_{bb} と総消費電流 I_{bb} から得る回路特性式は、式(2)より、 $S_b = (S_{bb}/I_{bb}) \times (I_b)$ と求められる(ステップST14に対応する)。この値と式(9)とから次式(10), (11)

$$S_b = \sqrt{ \{ (S_{bb}) \times (V_d) \} / a / I_{bb} } \quad (10)$$

$$I_b = \sqrt{ \{ (I_{bb}) \times (V_d) \} / a / S_{bb} } \quad (11)$$

を得る(図6のステップST15, ST16に対応する)。

【0130】

以上により、適切な単位構造の面積 S_b と消費電流 I_b とを求めることができる。

【0131】

【発明の効果】

本発明によれば、素子電圧供給配線、集合電圧供給配線及び分配電圧供給配線の配置の工夫により、回路の面積及び電圧降下量の増大を回避しつつ、微細化や接続状態の検査の容易化などを実現しうる集積回路装置及び配線の形成方法を提供することができる。

【図面の簡単な説明】

【図1】

本発明の実施形態における電圧供給配線の単位構造を説明するための平面図である。

【図2】

本発明の実施形態における電圧供給配線と信号配線の積層構造を説明するため

の断面図である。

【図3】

本発明の分配電源配線と分配グランド配線の構造例であり、単位構造がマトリックスに配置されている例を示す平面図である。

【図4】

本発明の分配電源配線と分配グランド配線の構造例であり、単位構造が千鳥足模様に配置されている例を示す平面図である。

【図5】

(a) は、配線構造曲線と回路特性直線の交点が存在することを説明するための図である。(b) は、単位構造を分けることによって、集合電源配線の総面積が小さくなることを説明するための図である。(c) は、電源配線にある総電流の電流源が3つに分散して配置されている場合の電圧降下量を計算するための図である。(d) は、電源配線にある総電流の電流源が4つに分散して配置されている場合の電圧降下量を計算するための図である。

【図6】

本発明の実施形態における配線の形成方法により、配線構造曲線と回路特性直線の交点における面積と消費電流を持つ単位構造にするための設計フローチャート図である。

【図7】

図1～3の電源配線構造をスルーホール接続端子の接続状態の検査ができる構造にした場合を示すブロック回路図である。

【図8】

電源配線の接続端子の接続状態を検査することができる電源配線構造の基本構造を示すブロック回路図である。

【図9】

図1の単位構造における配線構造曲線を計算するための平面図である。

【図10】

従来の電圧供給線の構造を示す平面図である。

【符号の説明】

1 セル

2 a 素子電源配線

2 b 素子グランド配線

3 a 集合電源配線

3 b 集合グランド配線

4 a, 18 a, 18 c, 18 e, 18 g, 19 a, 19 c 分配電源配線

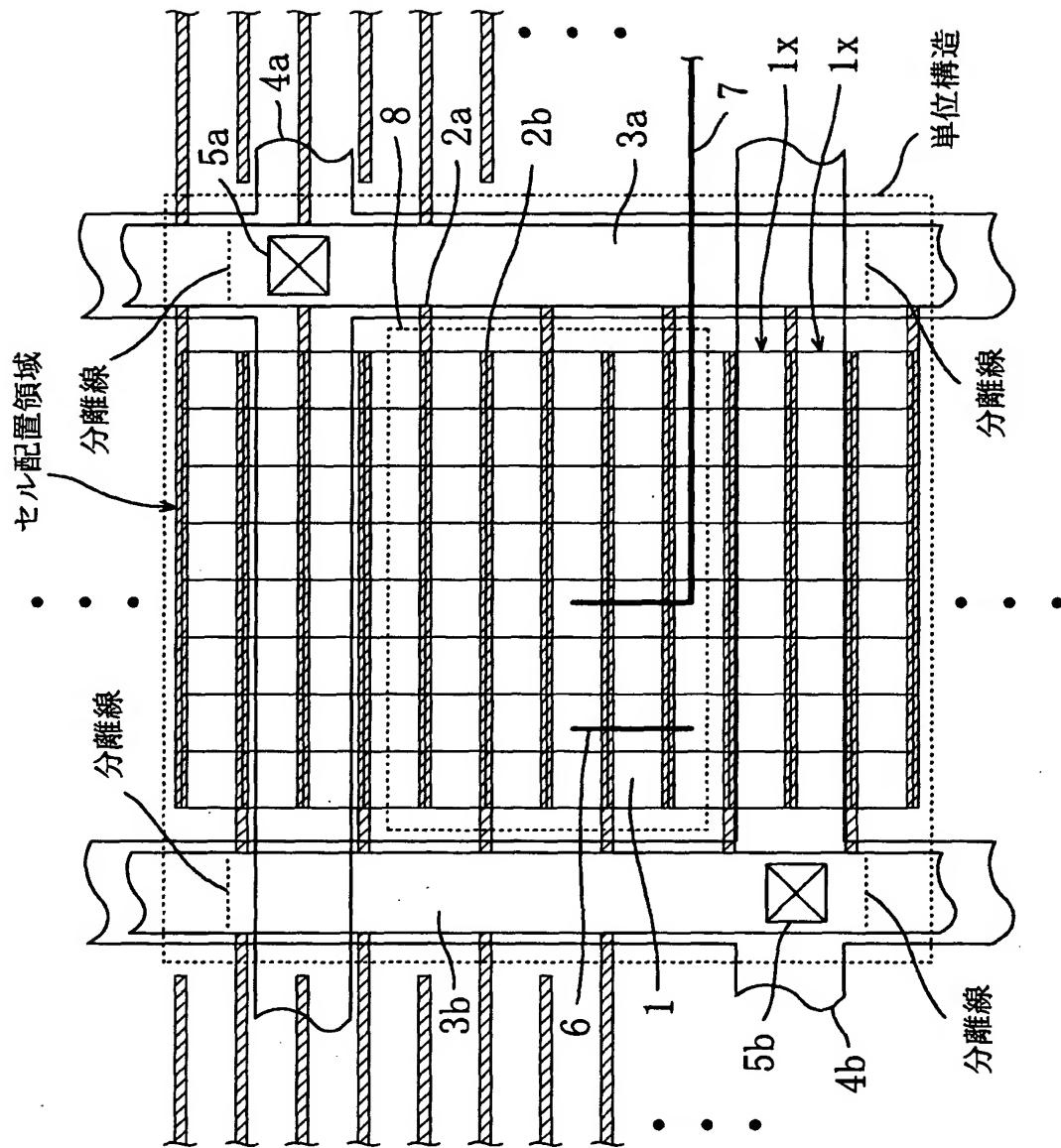
4 b, 18 b, 18 d, 18 f, 18 h, 19 b, 19 d 分配グランド配線

5 a, 5 b, 21, 22 スルーホール接続端子

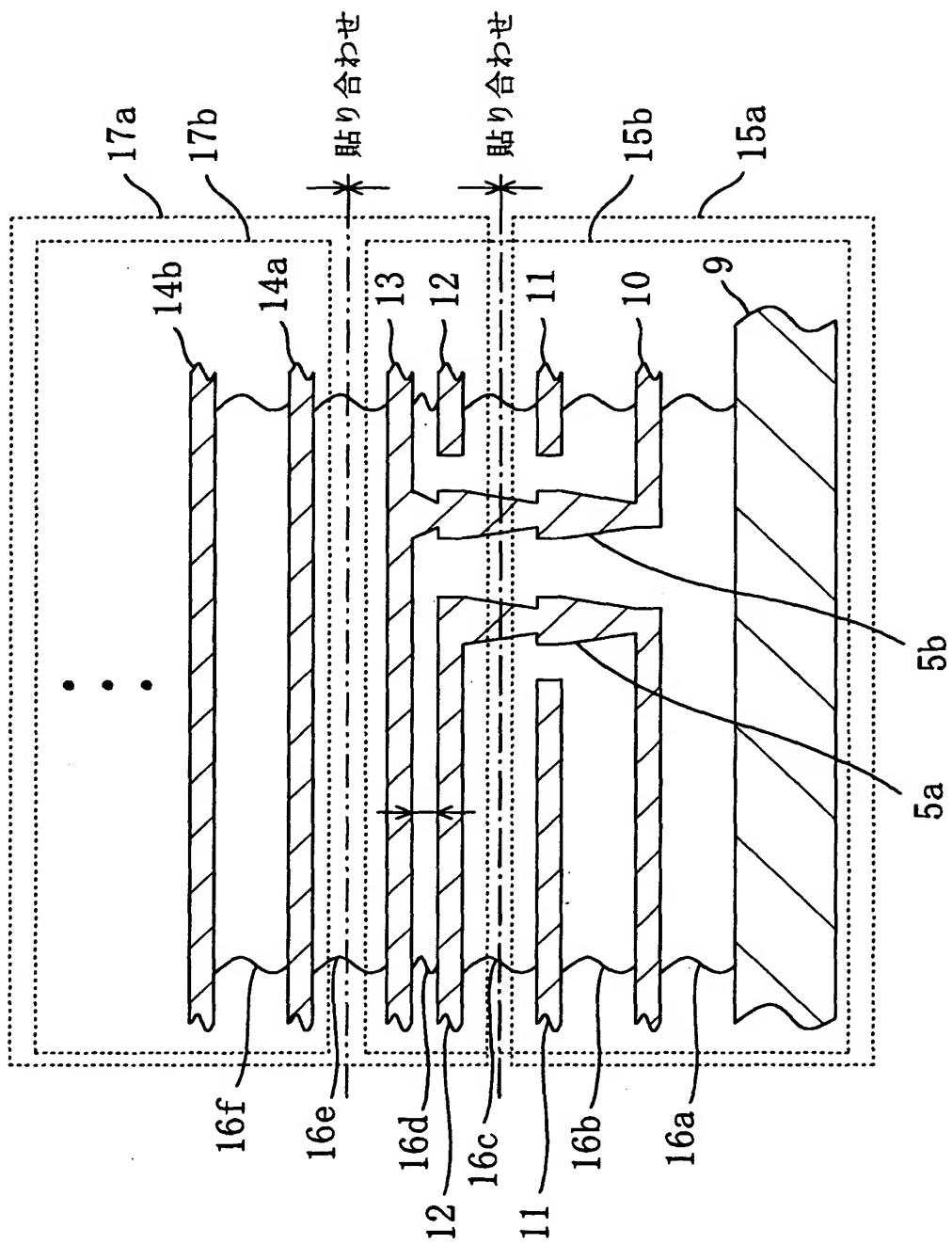
【書類名】

図面

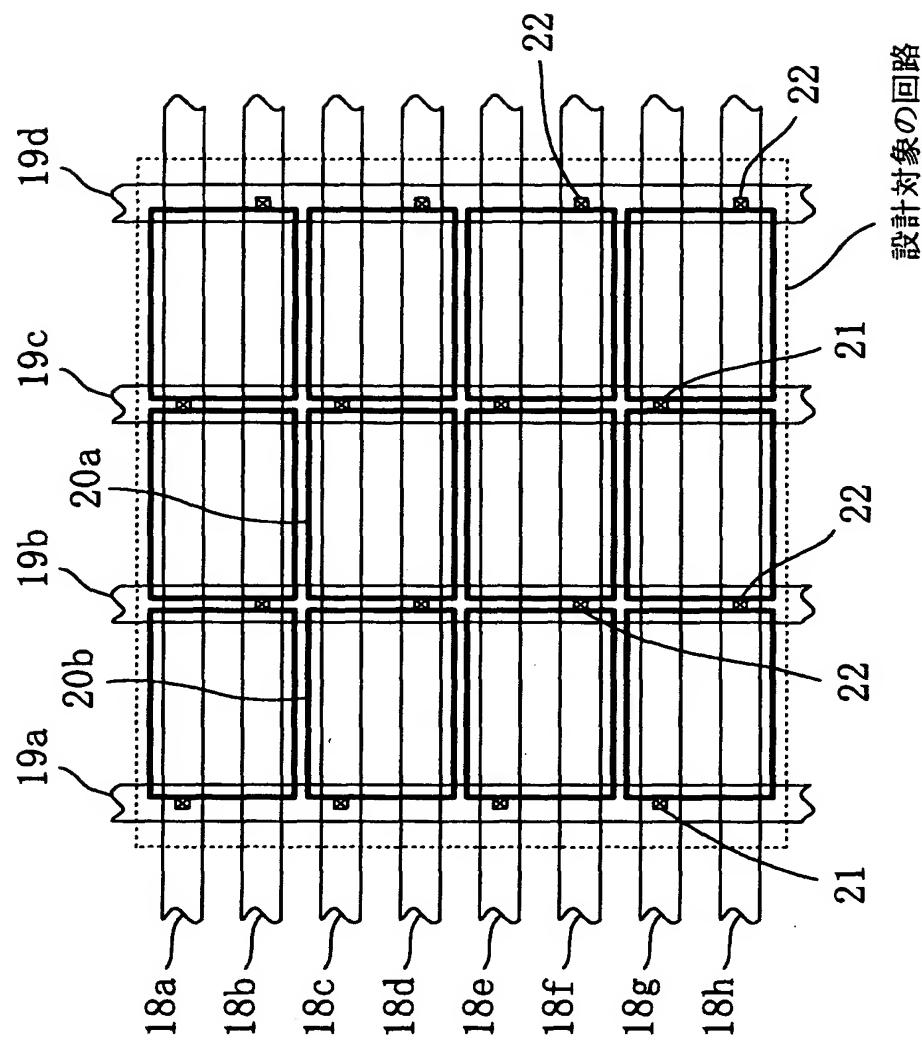
【図1】



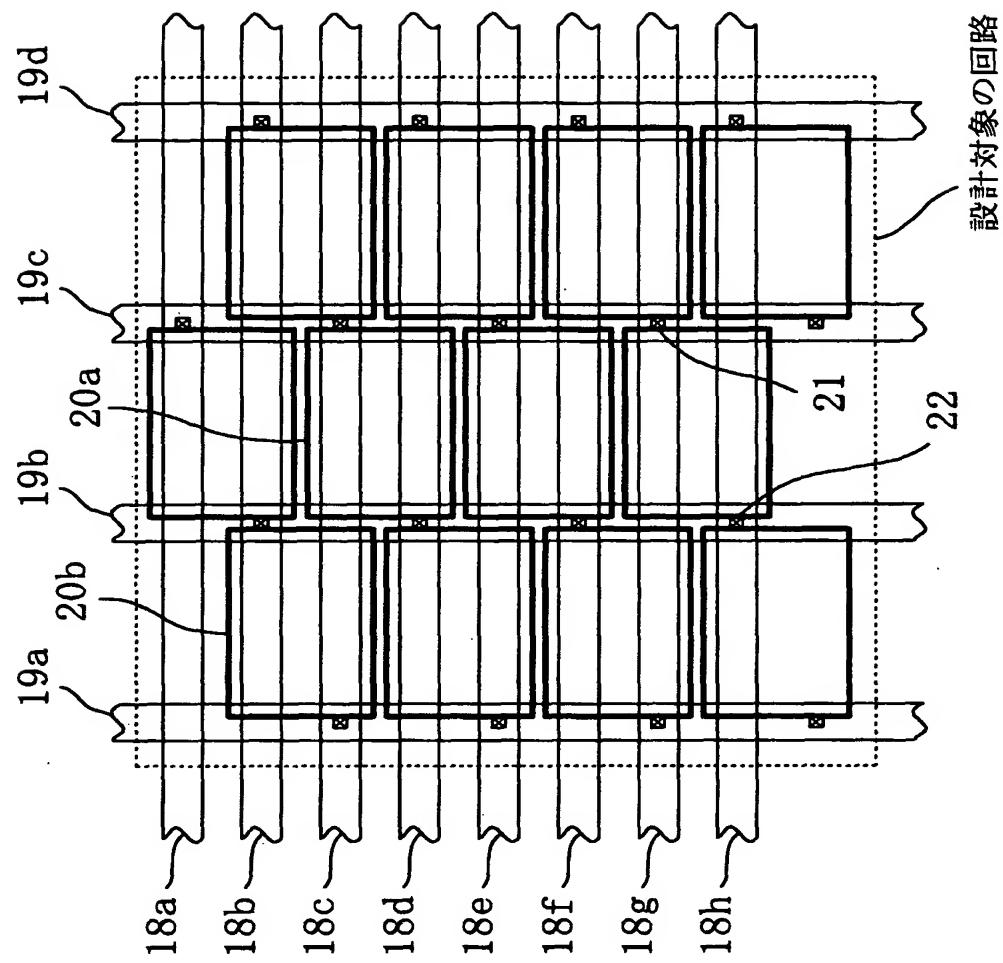
【図2】



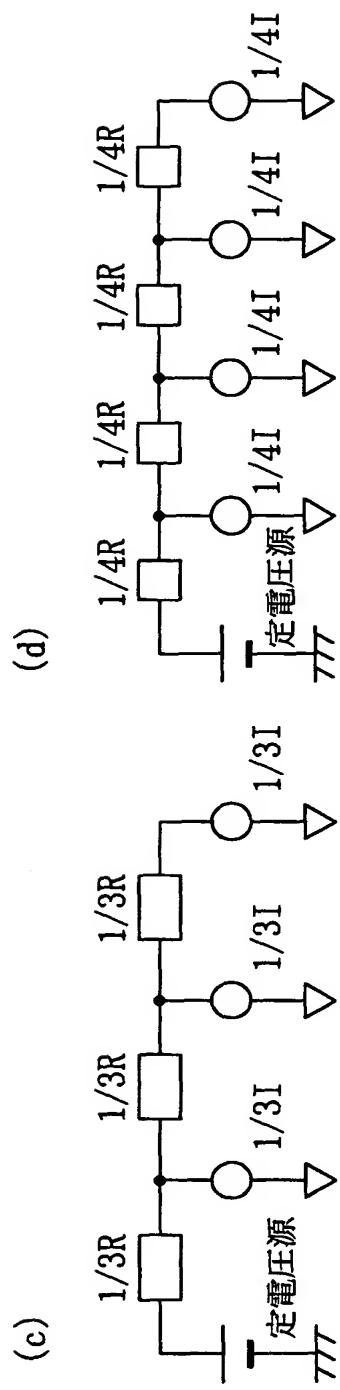
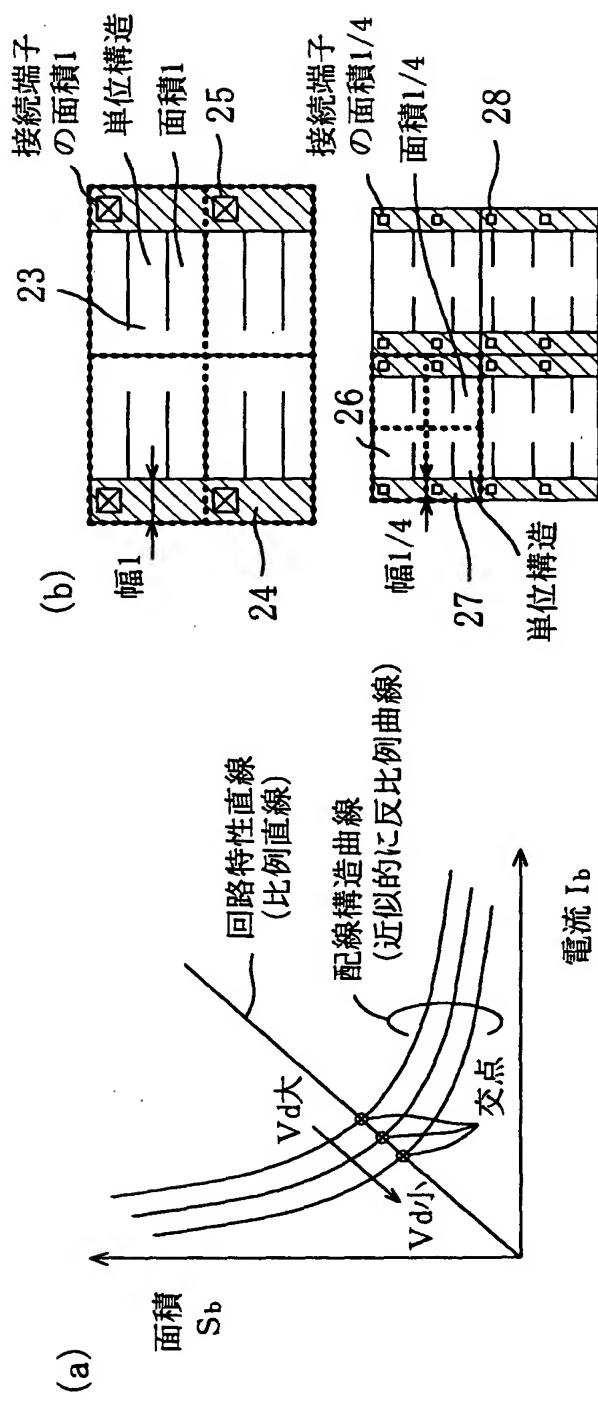
【図3】



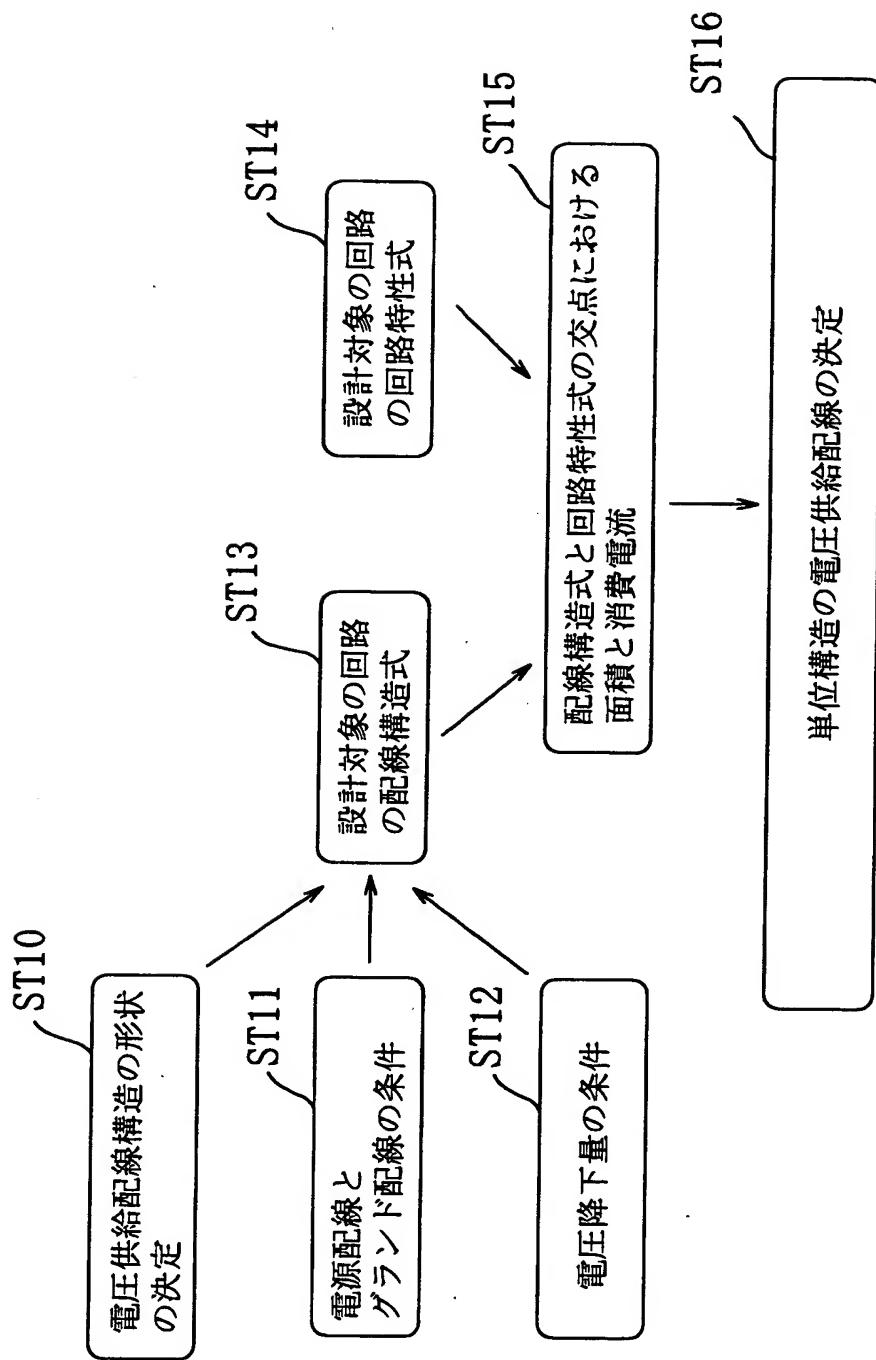
【図4】



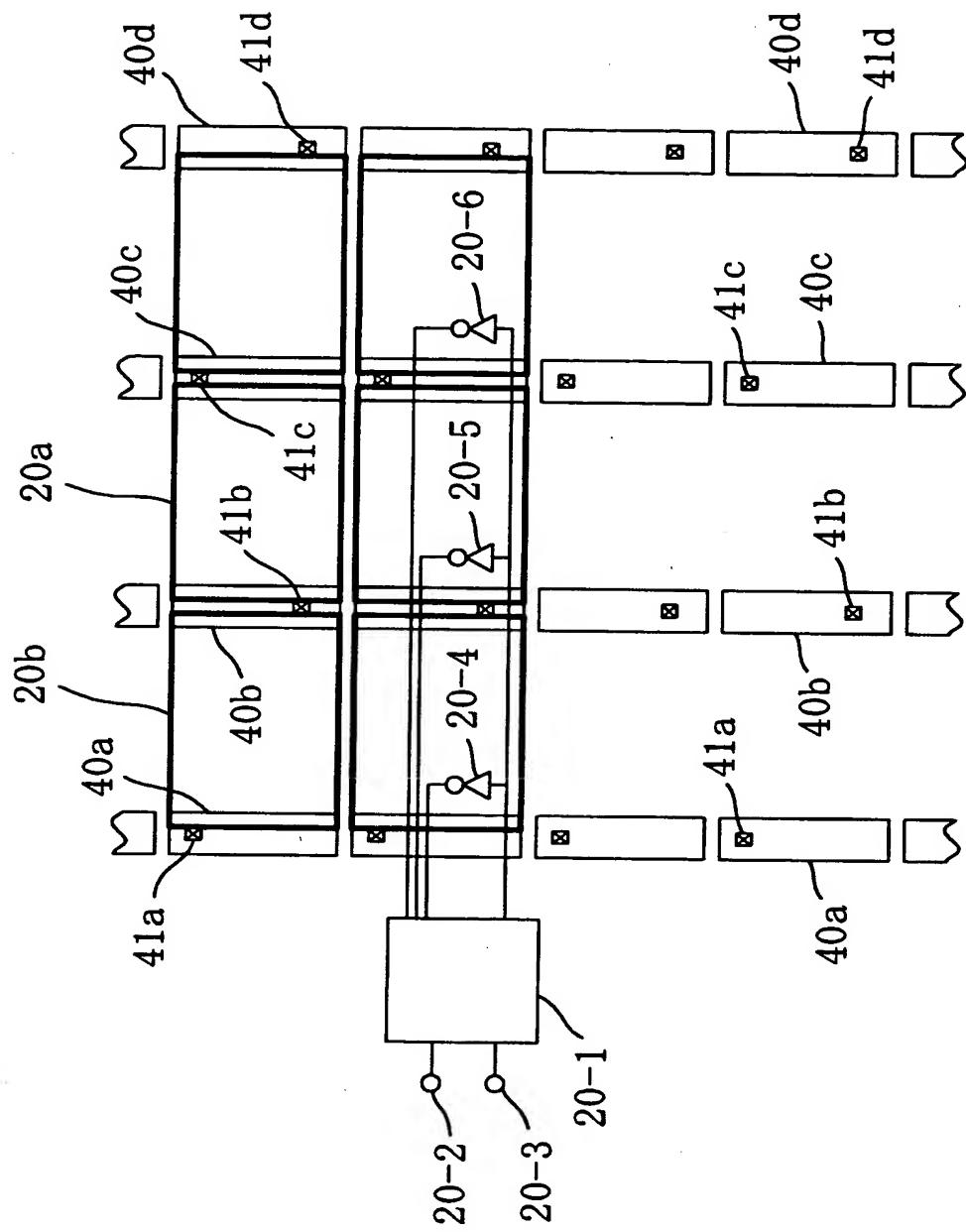
【図5】



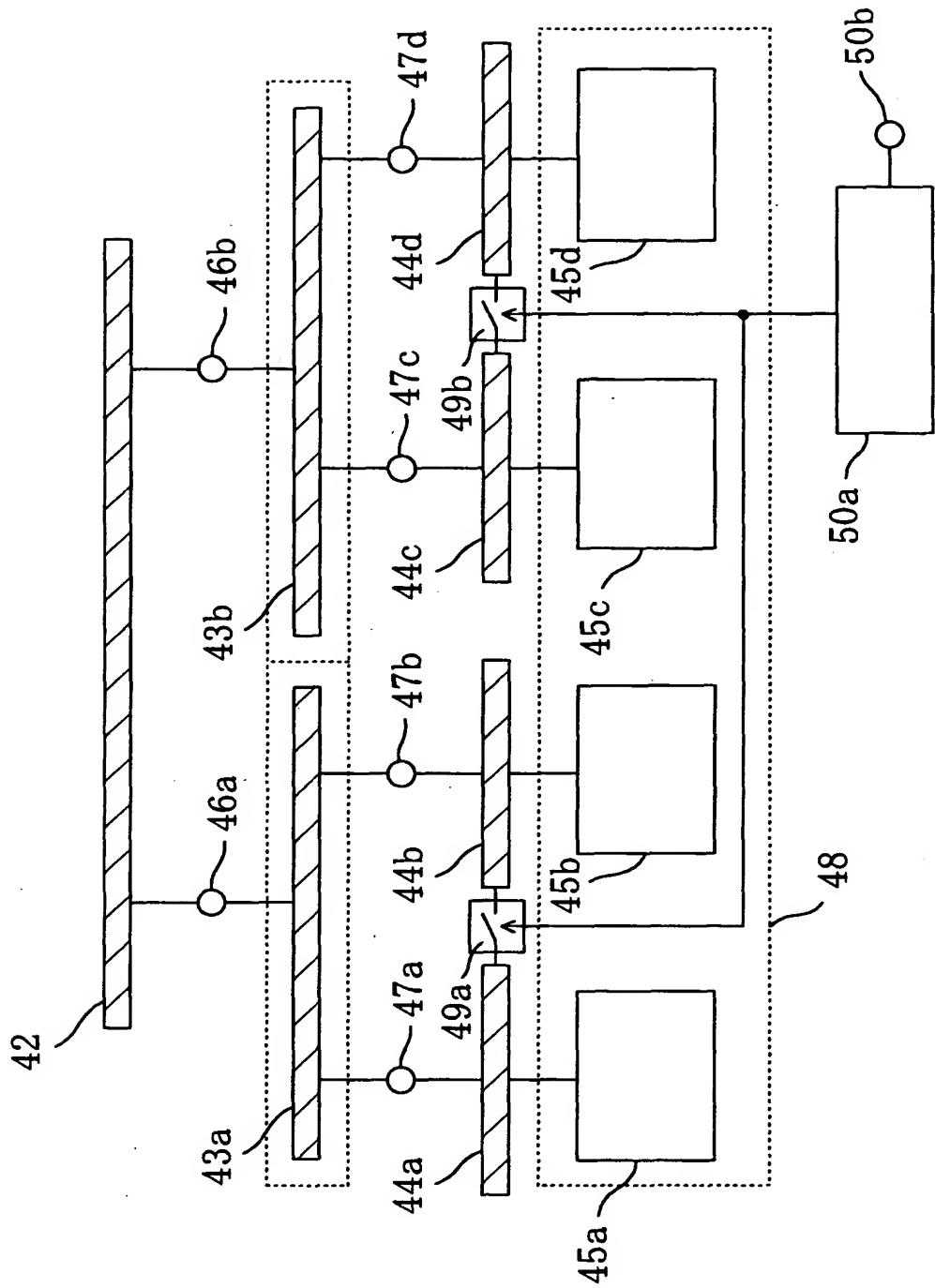
【図6】



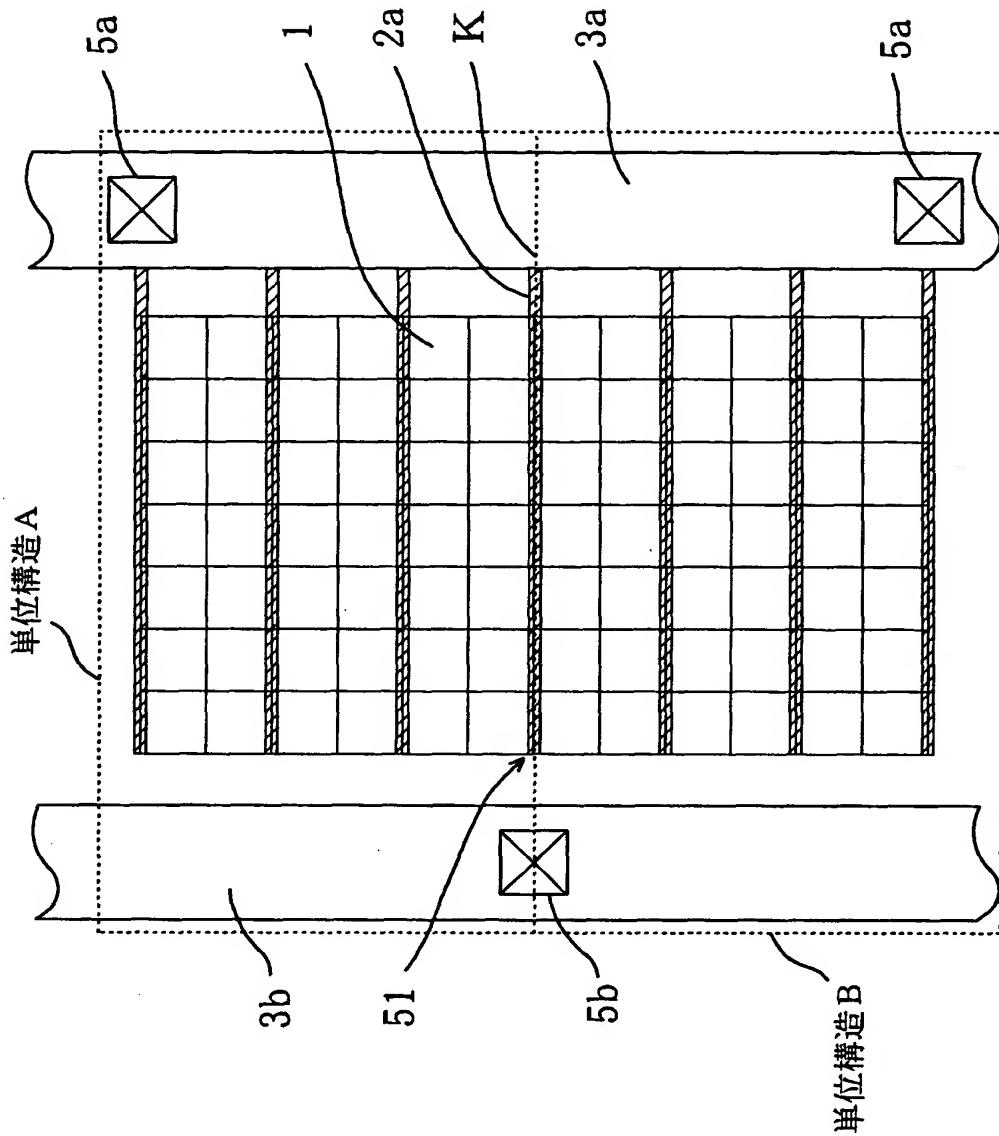
【図7】



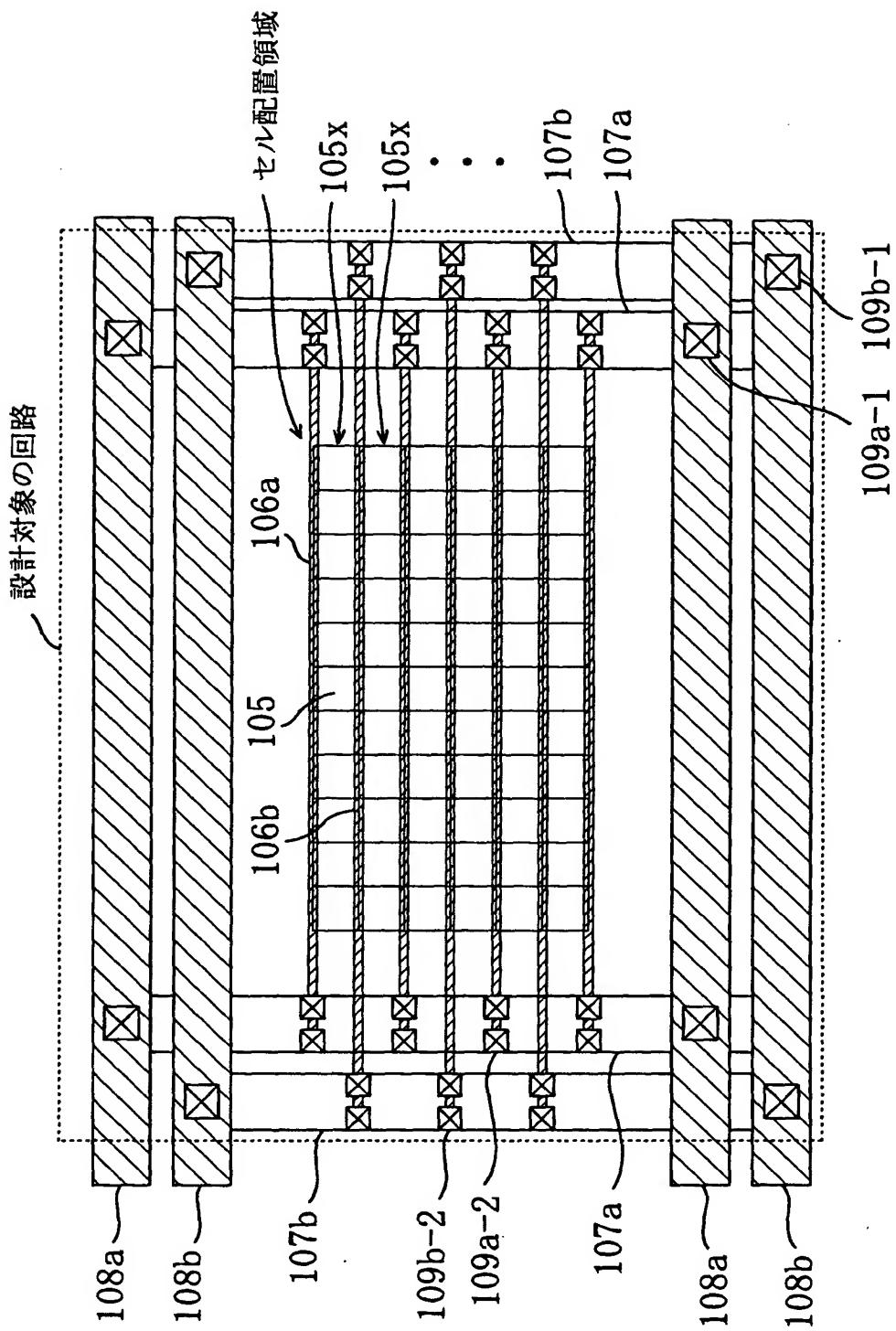
【図8】



【図9】



【図10】



【書類名】 要約書

【要約】

【課題】 配線の構造を回路の面積や消費電流を考慮して適切に設計し、あるいは、接続端子の接続状態の検査に適した集積回路装置を提供する。

【解決手段】 複数のセル1を含む回路に接続される素子電源配線2aと、素子グランド配線2bと、素子電源配線2aに接続される集合電源配線3aと、素子グランド配線2bに接続される集合グランド配線3bとを第1の配線層に設ける。集合電源配線3aに接続される分配電源配線4aと、集合グランド配線3bに接続される分配グランド配線4bとを、第1の配線層よりも上層にある上層配線層に設ける。配線の電圧降下量と配線面積と消費電流の関係を表わす配線構造式と、回路の面積と消費電流の比を一定に保って回路を細分化したときの回路面積と消費電流の関係を表す回路特性式とに基づいて、配線構造を決定する。

【選択図】 図1

出願人履歴情報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住 所 大阪府門真市大字門真1006番地

氏 名 松下電器産業株式会社